MP5416

2.8V-5.5V, Power Management IC with Four 2A/2.5A/4A/4.5A Buck Converters, 5 LDOs, and Flexible System Settings via I2C and OTP

The Future of Analog IC Technology®

DESCRIPTION

MP5416 は、4 つの高効率 DCDC と 5 つの LDO とフレキシブルなロジックインターフェースを持ったパワーマネジメントソリューションです。
コンスタントオンタイム（COT）制御の DCDC コンバータは、高速応答制御を提供します。また、連続モード（CCM）で、デフォルト 1.5MHz の固定周波数により、外部インダクタサイズと出力コンデンサ容量を低減することができます。
アンダーボルテージロックアウト（UVLO）とオーバーカレントプロテクション（OCP）とサーマルシャットダウンのすべてのプロテクション機能を保有しています。
出力電圧は、ワンタイムプログラマブル機能（OTP）により任意の値にするか、I^2C により可変設定することができます。パワーシーケンスも OTP で任意の設定にするか、I^2C バスにより制御可能です。
MP5416 は少数の外部部品を必要とし、パッケージは小型の 28 ピン QFN（4mmx4mm）です。
I^2C か OTP により、ユーザーは BuckDCDC と LDO 出力電圧、制御モード、Buck1 と Buck3 のカレントリミット、全 BuckDCDC と LDO のイネーブル機能（ENBUCK/LDO）を使用することができます。
I^2C のみを使用するときは、ユーザーは Buck2 と Buck4 のカレントリミット、スルーレート（DVS スルーレート）、出力ディスチャージ（DISCHG）、システムイネーブル（SYSEN）、ソフトウェアリセット（SFRST）もプログラム可能です。
また、ステータスと ID2 レジスタも I^2C を介してリードすることができます。
その他機能は、AUTOON、周波数、パワーオンディレイ、リセットディレイ、プッシュボタンタイム、LDORTC 出力電圧、OTP オプション、があり、I^2C スレーブアドレスは、OTP によりプログラムできます。

FEATURES

- Four High-Efficiency Step-Down Converters
  - Buck 1: 4.5A DC/DC Converter
  - Buck 2: 2.5A DC/DC Converter
  - Buck 3: 4A DC/DC Converter
  - Buck 4: 2A DC/DC Converter
  - 2.8V to 5.5V Operating Input Range
  - Adjustable Switching Frequency
  - Programmable Forced PWM, Auto PFM/PWM Mode
  - Hiccup Over-Current Protection (OCP)
- Five Low-Dropout Regulators
  - One RTC Dedicate LDO
  - Four Low Noise LDOs
  - Two Separate Input Power Supplies
  - 100mV Dropout at 300mA Load
- System
  - I^2C Bus and OTP
  - Power-On/-Off Button
  - Power-On Reset Output
  - Flexible Power-On/-Off Sequence via OTP
  - Flexible DC/DC, LDO On/Off via OTP
  - ±4kV HBM and ±2kV CDM ESD Rating For All Pins

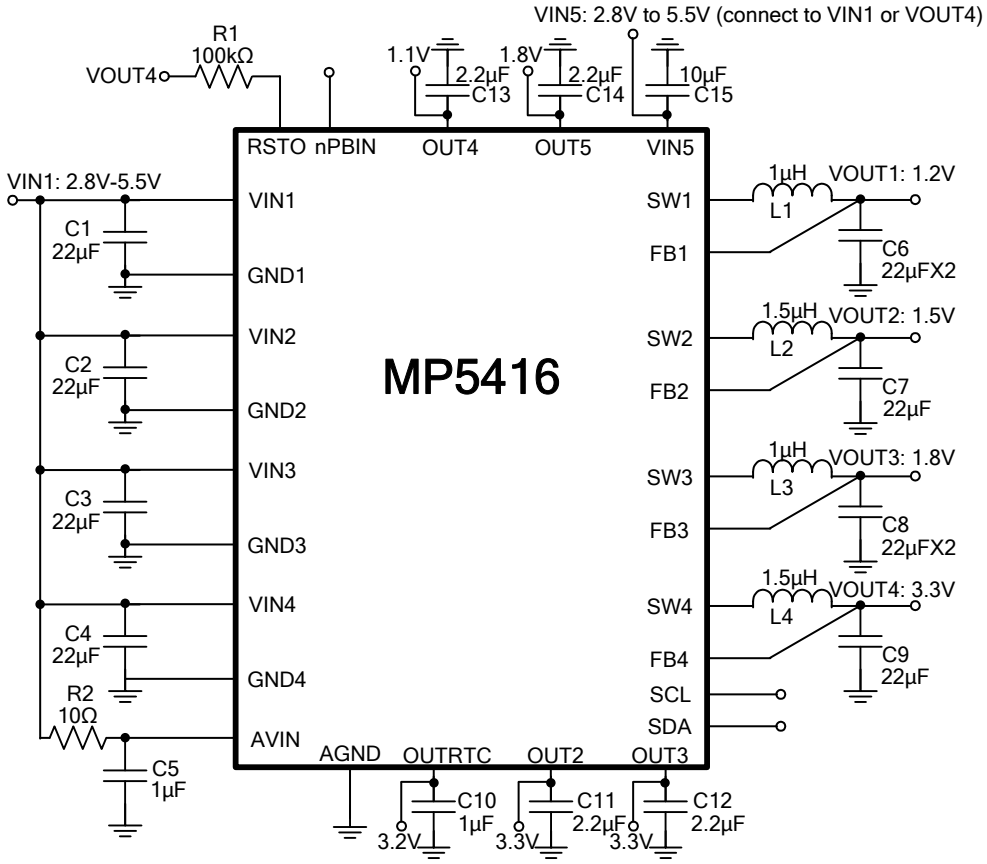
APPLICATIONS

- Cable Modems, Set-Top Boxes
- Televisions
- MID, Tablets
- POS Machines
- SSD
- IP Cameras

All MPS parts are lead-free, halogen-free, and adhere to the RoHS directive. For MPS green status, please visit the MPS website under Quality Assurance. “MPS” and “The Future of Analog IC Technology” are registered trademarks of Monolithic Power Systems, Inc.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

TYPICAL APPLICATION



OTP-EFUSE SELECTED TABLE BY DEFAULT (MP5416-0000)

OTP Items	Buck 1	Buck 2	Buck 3	Buck 4	LDORTC	LDO2	LDO3	LDO4	LDO5
Output Voltage	1.2V	1.5V	1.8V	3.3V	3.2V	3.3V	3.3V	1.1V	1.8V
Initial On/Off	On	On	On	On	On	On	Off	On	On
Mode	FPWM	PFM	FPWM	FPWM	N/A				
Power-On Delay/Time Slot #	2ms/1	4ms/2	4ms/2	0ms/0	Always on	4ms/2	6ms/3	2ms/1	4ms/2
Automatic Turn-On	Yes								
Switching Frequency	1.5MHz								
Push-Button Timer	2 seconds								
RSTO Delay	10ms								
Buck 1 Peak Current Limit	6.8A								
Buck 3 Peak Current Limit	5.6A								
I^2C Slave Address	0x69								
OTP Version	0000								

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

ORDERING INFORMATION

Part Number*	Package	Top Marking
MP5416GR-xxxx**	QFN-28 (4mmx4mm)	*See Below*
MP5416GR-0000	QFN-28 (4mmx4mm)	*See Below*
EVKT-5416	Evaluation Kit	

* For Tape & Reel, add suffix –Z (e.g. MP5416GR-XXXX–Z)
** "xxxx" is the configuration code identifier for the register setting stored in the OTP.

The default number is "0000". Each "x" can be a hexadecimal value between 0 and F. Please work with an MPS FAE to create this unique number, even if ordering the "0000" code. MP5416GR-0000 is the default version.

TOP MARKING

MPSYWW
MP5416
LLLLLL

MPS: MPS prefix
Y: Year code
WW: Week code
MP5416: Product code
LLLLLL: Lot number

EVALUATION KIT EVKT-5416

EVKT-5416 Kit contents: (Items below can be ordered separately).

#	Part Number	Item	Quantity
1	EV5416-R-00D	MP5416GR-CCCC evaluation board	1
2	EVKT-USBI2C-02	Includes one USB to I2C dongle, one USB cable, and one ribbon cable	1
3	MP5416GR-CCCC	MP5416 IC which can be used for OTP programming	2
4	Tdrive-5416	USB flash drive that stores the GUI installation file and supplemental documents	1

Order direct from MonolithicPower.com or our distributors.

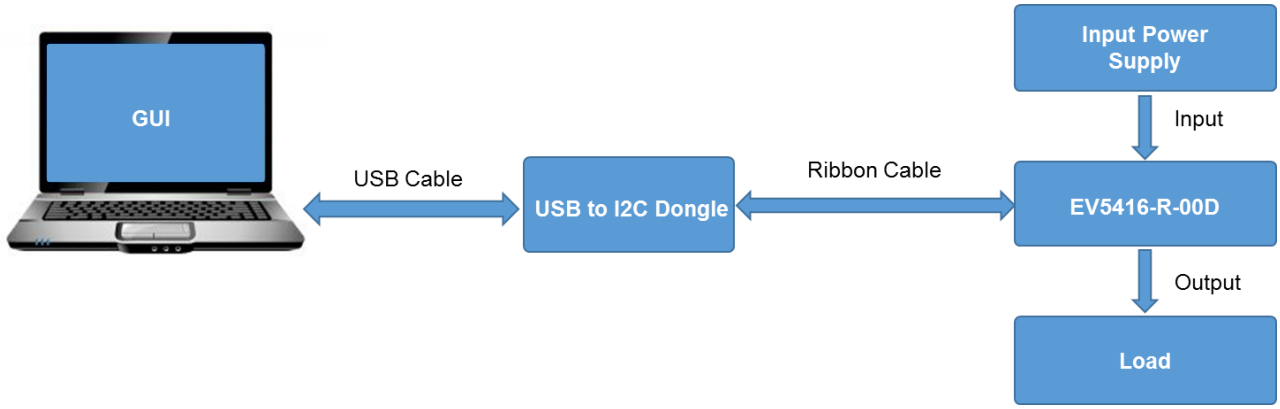
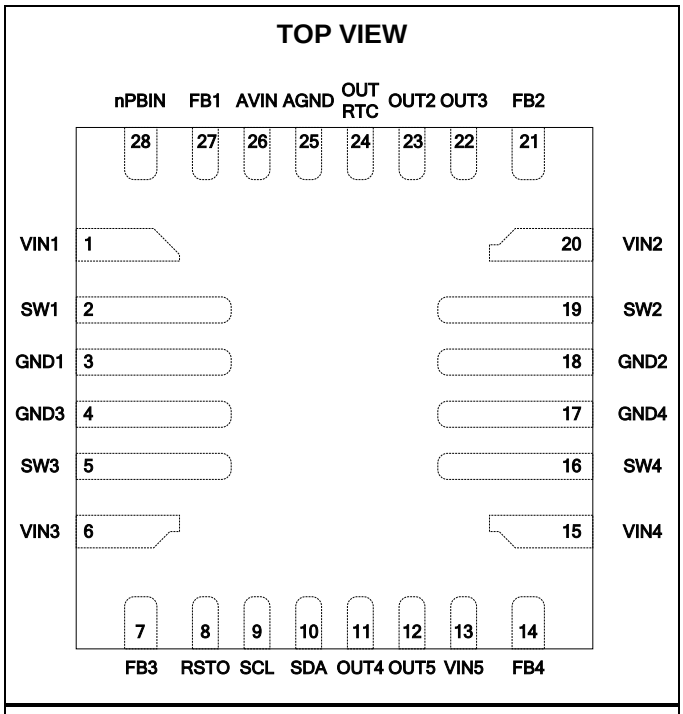


Figure 1: EVKT-5416 Evaluation Kit Set-Up

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

PACKAGE REFERENCE



QFN-28 (4mmx4mm)

ABSOLUTE MAXIMUM RATINGS (1)

VIN1, VIN2, VIN3, VIN4, VIN5, AVIN..... .....0.3V to 6.25V
V_{SWx}.....-0.6V (-5V for <10ns) to VIN + 0.3V (7V for <10ns)
All other pins .....-0.3V to 6.25V
Continuous power dissipation (T_A = +25°C) **(2)** 2.84W
Junction temperature .....150°C
Lead temperature .....260°C
Storage temperature..... -65°C to 150°C

Recommended Operating Conditions (3)

Step-down regulator (VIN) .....2.8V to 5.5V
Step-down regulator ($V_{OUT1/3}$).....0.6V to 2.18V
Step-down regulator ($V_{OUT2/4}$).....0.8V to 3.9V
LDO regulator (V_{OUTL}) .....0.8V to 3.9V
Operating junction temp. (T_J)... -40°C to +125°C

Thermal Resistance (4) θ_{JA} θ_{JC}

QFN-28 (4mmx4mm)..... 44..... 9.... °C/W

NOTES:

1) Exceeding these ratings may damage the device.
2) The maximum allowable power dissipation is a function of the maximum junction temperature T_J (MAX), the junction-to-ambient thermal resistance θ_{JA}, and the ambient temperature T_A. The maximum allowable continuous power dissipation at any ambient temperature is calculated by P_D (MAX) = (T_J (MAX)-T_A)/θ_{JA}. Exceeding the maximum allowable power dissipation produces an excessive die temperature, causing the regulator to go into thermal shutdown. Internal thermal shutdown circuitry protects the device from permanent damage.
3) The device is not guaranteed to function outside of its operating conditions.
4) Measured on JESD51-7, 4-layer PCB.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

ELECTRICAL CHARACTERISTICS

VIN1 = VIN2 = VIN3 = VIN4 = VIN5 = AVIN = 5V, T_J = -40°C to 125°C (5), unless otherwise noted.

Parameter	Symbol	Condition	Min	Typ	Max	Units
Supply current (no switching)	I_{IN}	No switching, feedback is high T_J = +25°C		350	480	μA
Default oscillation frequency	f_{SW}		1.2	1.5	1.8	MHz
Thermal shutdown entry threshold (6)	T_{OTP_R}		145	153	162	°C
Thermal shutdown recovery threshold (6)	T_{Hys}		121	130	139	°C
Step-Down Regulator						
AVIN UVLO rising	V_{AIN1_R}		2.4	2.55	2.7	V
AVIN UVLO hysteresis	V_{AIN1_HYS}			300		mV
VIN1 UVLO rising	V_{IN1_R}		2.3	2.45	2.6	V
VIN1 UVLO hysteresis	V_{IN1_HYS}			300		mV
VIN2 UVLO rising (7)	V_{IN2_R}		2.3	2.45	2.6	V
VIN2 UVLO hysteresis (7)	V_{IN2_HYS}			300		mV
VIN3 UVLO rising	V_{IN3_R}		2.3	2.45	2.6	V
VIN3 UVLO hysteresis	V_{IN3_HYS}			300		mV
VIN5 UVLO rising	V_{IN5_R}		2.3	2.45	2.6	V
VIN5 UVLO hysteresis	V_{IN5_HYS}			300		mV
Feedback voltage accuracy	V_{FB1}	Default output of Buck 1	1.1820	1.2	1.2180	V
	V_{FB2}	Default output of Buck 2	1.4775	1.5	1.5225	V
	V_{FB3}	Default output of Buck 3	1.7730	1.8	1.8270	V
	V_{FB4}	Default output of Buck 4	3.2505	3.3	3.3495	V
Maximum duty cycle	D_{max}	CH2 and CH4 only		100		%
Buck 1, Buck 3 (4.5A/4A)						
HS switch on resistance	$HS_{RDS-ON1}$	500mA, T_J = +25°C	20	30	40	mΩ
	$HS_{RDS-ON3}$					
	$HS_{RDS-ON1}$	500mA, T_J = -40°C to 125°C	10	30	50	mΩ
	$HS_{RDS-ON3}$					
LS switch on resistance	$LS_{RDS-ON1}$	500mA, T_J = +25°C		12	16	mΩ
	$LS_{RDS-ON3}$					
	$LS_{RDS-ON1}$	500mA, T_J = -40°C to 125°C		12	20	mΩ
	$LS_{RDS-ON3}$					
Switch leakage 1	HSW_{ILK1}	EN = 0V, VIN = 5.5V, SW = 0V or 5.5V, T_J = +25°C		0	1	μA
	HSW_{ILK3}					
Switch leakage 2	LSW_{ILK1}	EN = 0V, VIN = 5.5V, SW = 0V or 5.5V, T_J = +25°C		0	1	μA
	LSW_{ILK3}					
High-side current limit	I_{LIMIT1}	Under 20% duty cycle, T_J = +25°C	5.5	6.8	8.3	A
	I_{LIMIT3}		4.5	5.6	7	A

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

ELECTRICAL CHARACTERISTICS *(continued)*

VIN1 = VIN2 = VIN3 = VIN4 = VIN5 = AVIN = 5V, T_J = -40°C to 125°C (5), unless otherwise noted.

Parameter	Symbol	Condition	Min	Typ	Max	Units
Minimum on time (8)	t_{ON_MIN1}			40		ns
	t_{ON_MIN3}			33		ns
Minimum off time (8)	t_{OFF_MIN1}			120		ns
	t_{OFF_MIN3}			120		ns
Output discharge resistance	R_{O_DIS1}			7		Ω
Soft-start time	t_{SS_B1}	V_{OUT} = 10% to 90%		450		μs
	t_{SS_B3}	V_{OUT} = 10% to 90%		450		μs
Buck 2, Buck 4 (2.5A/2A)						
HS switch on resistance	$HS_{RDS-ON2}$	500mA, T_J = +25°C	35	50	65	mΩ
	$HS_{RDS-ON4}$					
	$HS_{RDS-ON2}$	500mA, T_J = -40°C to 125°C	20	50	80	mΩ
	$HS_{RDS-ON4}$					
LS switch on resistance	$LS_{RDS-ON2}$	500mA, T_J = +25°C		65	80	mΩ
	$LS_{RDS-ON4}$					
	$LS_{RDS-ON2}$	500mA, T_J = -40°C to 125°C		65	105	mΩ
	$LS_{RDS-ON4}$					
Switch leakage 3	HSW_{ILK2}	Shutdown, VIN = 5.5V, SW = 0V or 5.5V, T_A = +25°C		0	1	μA
	HSW_{ILK4}					
Switch leakage 4	LSW_{ILK2}	Shutdown, VIN = 5.5V, SW = 0V or 5.5V, T_A = +25°C		0	1	μA
	LSW_{ILK4}					
High-side current limit	I_{LIMIT2}	Under 20% duty cycle, T_J = +25°C	3	4.2	5.4	A
	I_{LIMIT4}					
Minimum on time (8)	t_{ON_MIN2}			32		ns
	t_{ON_MIN4}			32		ns
Minimum off time (8)	t_{OFF_MIN2}			100		ns
	t_{OFF_MIN4}			100		ns
Output discharge resistance	R_{O_DIS2}			7		Ω
Soft-start time	t_{SS_B2}	V_{OUT} = 10 to 90%		450		μs
	t_{SS_B4}	V_{OUT} = 10 to 90%		450		μs
10mA RTC LDO						
Default output voltage	V_{RTC_LDO}	I_{OUT} = 10mA, power on state	3.104	3.2	3.296	V
Ground current	I_{Q_RTC}	No load		6.5		μA
Dropout voltage (8)	V_{DROP1}	V_{OUT} = 3V, I_{OUT} = 10mA		100		mV
Current limit	I_{LIM_RTC}	VIN = 3.3V, V_{OUT} drops 33%, T_J = +25°C	25	55	85	mA
Soft-start slew rate	τ_{SS_RTC}	V_{OUT} = 10% to 90%, C_{OUT} = 1μF		35		mV/μs

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

ELECTRICAL CHARACTERISTICS *(continued)*

VIN1 = VIN2 = VIN3 = VIN4 = VIN5 = AVIN = 5V, T_J = -40°C to 125°C (5), unless otherwise noted.

Parameter	Symbol	Condition	Min	Typ	Max	Units
Low Dropout (LDO) Regulator: LDO2 to LDO5						
Output voltage	V_{LDO2}		3.2340	3.30	3.3660	V
	V_{LDO3}		3.2634	3.33	3.3966	V
	V_{LDO4}		1.0780	1.10	1.1220	V
	V_{LDO5}		1.7730	1.80	1.8270	V
PSRR (8)	$PSRR_{1k}$	F = 1kHz, 100mA, V_{OUT} = 1.8V		47		dB
	$PSRR_{10k}$	F = 10kHz, 100mA, V_{OUT} = 1.8V		51		dB
Dropout voltage	V_{DROP1}	V_{OUT} = 3V, I_{OUT} = 300mA		100		mV
Current limit	I_{LIMIT_LDO}	VIN = 3.3V, V_{OUT} drops 33%	320	430	640	mA
Output discharge resistance	R_{O_DIS2}			7		Ω
Soft-start time	t_{SS_B2}	V_{OUT} = 10% to 90%, C_{OUT} = 2.2µF		70		µs
Line regulation		VIN2 = VIN5 = 2.8V to 5.5V		0.3		%/V
Load regulation		VIN2 = VIN5 = 3.3V, I_{OUT} from 10mA to 100mA		0.5		%
Logic Pins						
nPBIN pull-up current	I_{PBIN}	Internal pull-up to AVIN	5	9	13	µA
Push-button detect threshold	V_{PB}		500	700	900	mV
Manual reset threshold	V_{MS}	nPBIN pulls low, T_J = +25°C			50	mV
RSTO rising threshold	V_{RSTO_R}	Monitor Buck 4's output		90%		V_{FB4}
RSTO falling threshold	V_{RSTO_F}			80%		V_{FB4}
RSTO rising delay	T_{RSTO}	Adjustable through I^2C/OTP		10		ms
I^2C Interface Specifications (9)						
Input logic high	V_{IH}		1.4			V
Input logic low	V_{IL}				0.4	V
Output voltage logic low	V_{OUT_L}	RSTO pin sink 4mA			0.4	V
SCL clock frequency	f_{SCL}				3.4	MHz
SCL high time	t_{HIGH}		60			ns
SCL low time	t_{LOW}		160			ns
Data setup time	$t_{SU.DAT}$		10			ns
Data hold time	$t_{HD.DAT}$			70		ns
Setup time for repeated start	$t_{SU.STA}$		160			ns
Hold time for repeated start	$t_{HD.STA}$		160			ns
Bus free time between a start and a stop condition	t_{BUF}		160			ns
Setup time for stop condition	$T_{SU.STO}$		160			ns
Rise time of SCL and SDA	t_R		10		300	ns

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

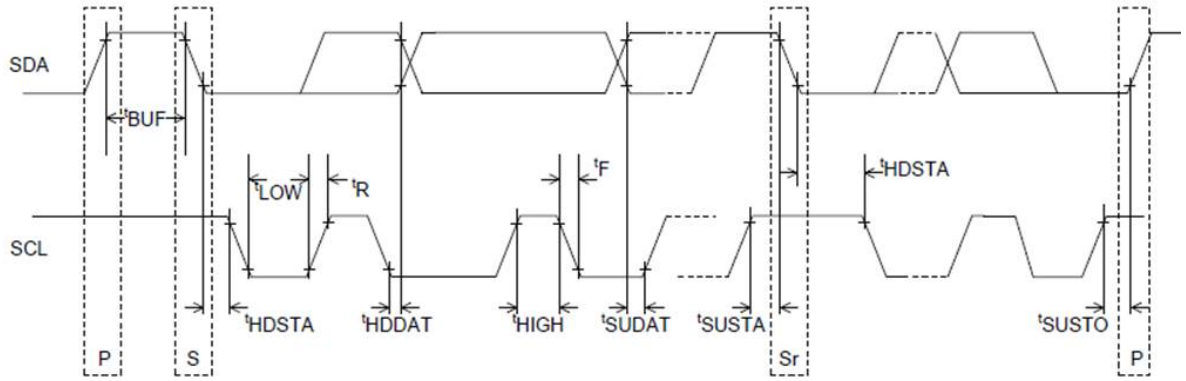
ELECTRICAL CHARACTERISTICS *(continued)*

VIN1 = VIN2 = VIN3 = VIN4 = VIN5 = AVIN = 5V, T_J = -40°C to 125°C (5), unless otherwise noted.

Parameter	Symbol	Condition	Min	Typ	Max	Units
Fall time of SCL and SDA	t_F		10		300	ns
Pulse width of suppressed spike	t_{SP}		0		50	ns
Capacitance bus for each bus line	C_B				400	pF
SCL low time	t_{LOW}		160			ns

NOTES:
5) Not tested in production, guaranteed by over-temperature correlation.
6) Guaranteed by design.
7) VIN2 and VIN4 share the same UVLO. It is recommended to connect VIN2 and VIN4 together in practical application.
8) Guaranteed by engineering sample characterization.
9) Refer to below I^2C timing chart when reading the I^2C interface specifications.
It is recommended to begin operating the I^2C function after the power-on sequence is finished or RSTO switches high.

TIMING DIAGRAM

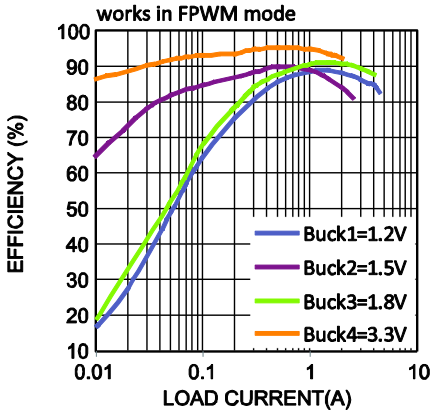


MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

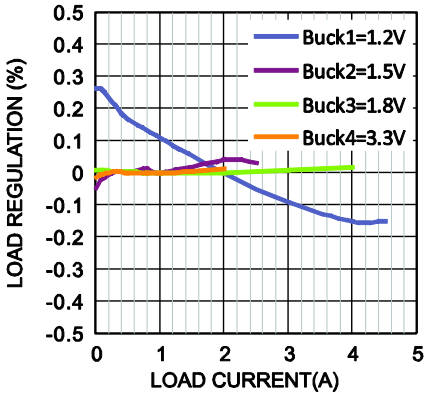
TYPICAL CHARACTERISTICS

Performance waveforms are tested on the evaluation board.
VIN = 5V, T_A = 25°C, test using default spec parts, unless otherwise noted.

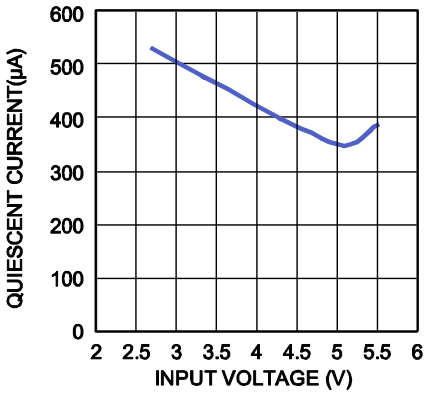
Efficiency
Buck1 and Buck3 works in FPWM mode



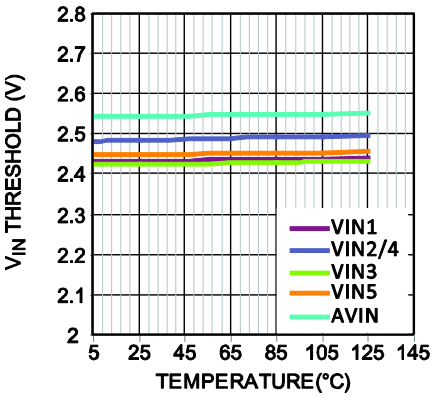
Load Regulation



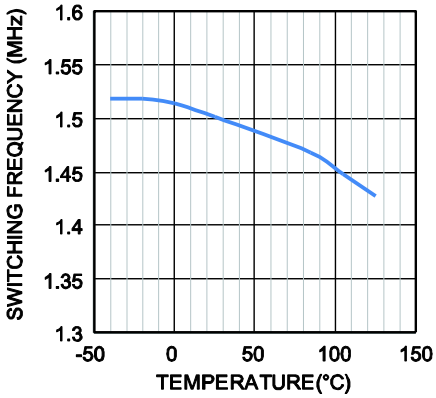
Quiescent Current vs. Input Voltage



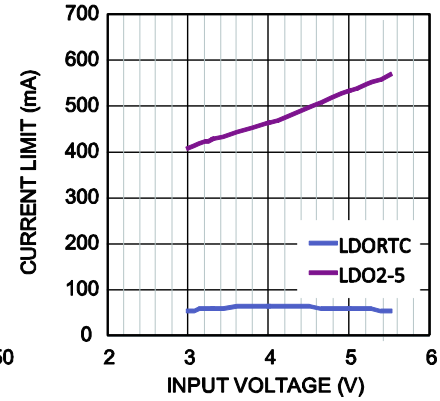
V_{IN} Threshold vs. Temperature



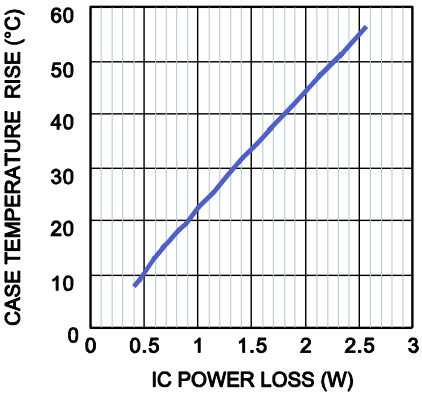
Switching Frequency vs. Temperature



Current Limit vs. Input Voltage



IC Power Dissipation vs. Case Temperature Rise
Tested on four layer PCB (9.3cm×8.5cm)

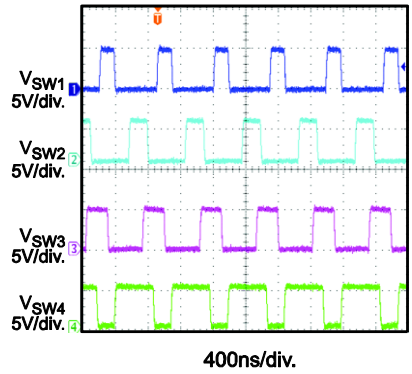


MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

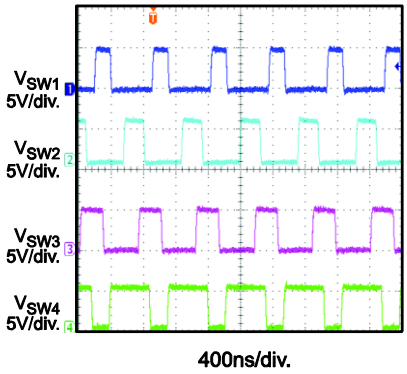
TYPICAL PERFORMANCE CHARACTERISTICS

Performance waveforms are tested on the evaluation board.
VIN = 5V, T_A = 25°C, test using default spec parts, unless otherwise noted.

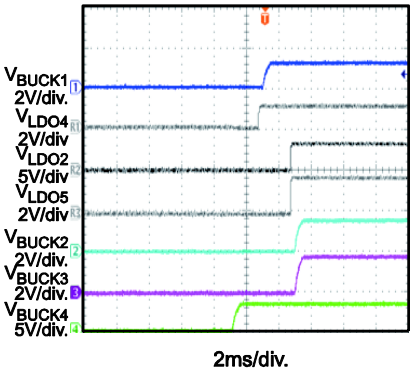
Steady State
Each Channel Buck with Half Load



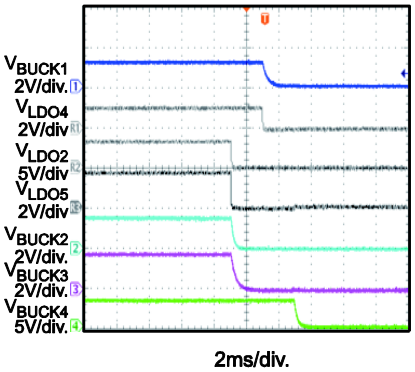
Steady State
Each Channel Buck with Full Load



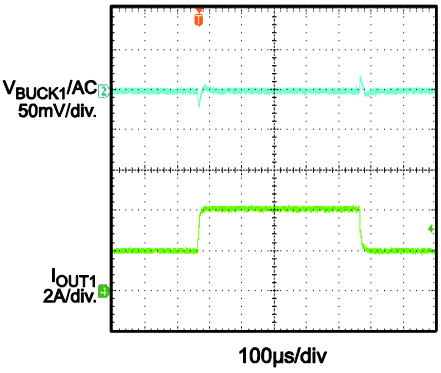
nPBIN Power On
Each Channel Buck without Load



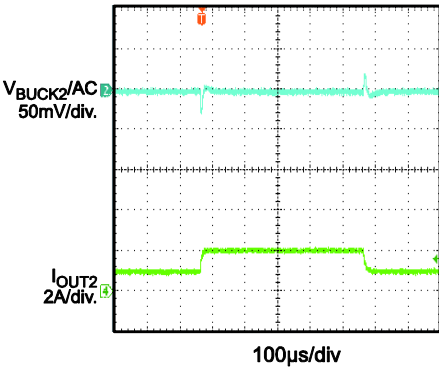
nPBIN Power off
Each Channel Buck without Load



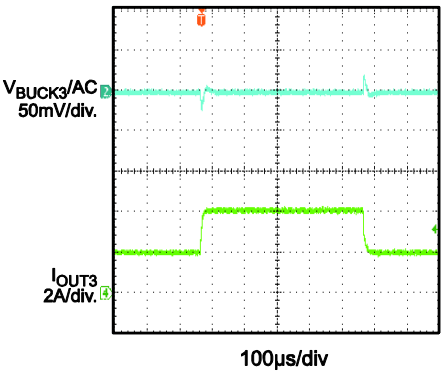
Load Transient Response
I_{OUT} Transient from 2A to 4A,
Slew Rate=0.8A/µs.



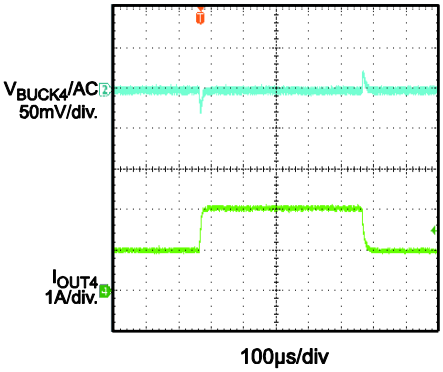
Load Transient Respons
I_{OUT} Transient from 1A to 2A,
Slew Rate=0.8A/µs.



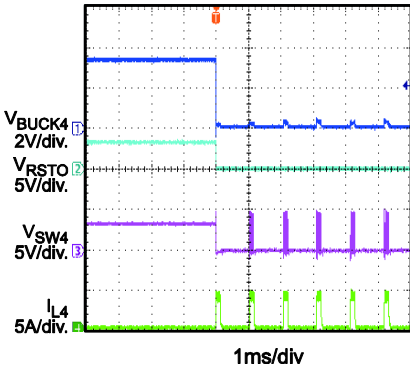
Load Transient Response
I_{OUT} Transient from 2A to 4A,
Slew Rate=0.8A/µs.



Load Transient Response
I_{OUT} Transient from 1A to 2A,
Slew Rate=0.8A/µs.



SCP Entry
Buck-4 Output 3.3V

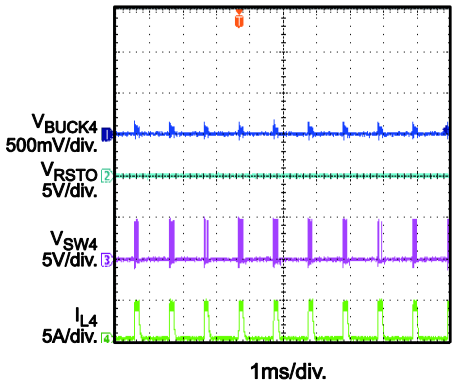


MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

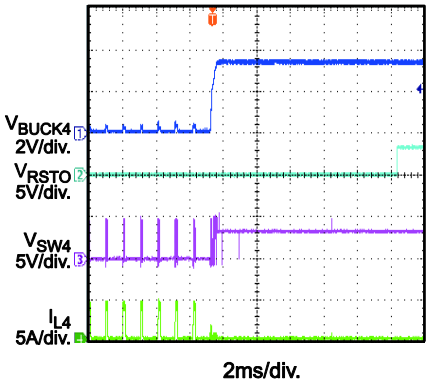
TYPICAL PERFORMANCE CHARACTERISTICS *(continued)*

Performance waveforms are tested on the evaluation board.
VIN = 5V, T_A = 25°C, test using default spec parts, unless otherwise noted.

SCP Steady State
Buck-4 Output 3.3V



SCP Recovery
Buck-4 Output 3.3V



MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

PIN FUNCTIONS

Package Pin #	Name	Description
1	VIN1	**Supply voltage input of Buck 1.** MP5416 は、2.8V to 5.5V 入力で動作します。入力にデカップリング用セラミックコンデンサが必要です。VIN1 は基板上の太いラインに接続してください。また、VIN1, VIN2, VIN3, VIN4, and AVIN も同様のバスラインに接続してください。
2	SW1	**Buck 1 スイッチノード。** インダクタへの太いラインへ接続してください。
3	GND1	**Power ground of Buck 1.** GND1 を GND 面やビアへ接続してください。
4	GND3	**Power ground of Buck 3.** GND3 を GND 面やビアへ接続してください。
5	SW3	**Buck 3 スイッチノード.** インダクタへの太いラインへ接続してください。
6	VIN3	**Supply voltage input of Buck 3.** The MP5416 は、2.8V から 5.5V 入力です。入力にデカップリングとしてセラミックコンデンサが必要です。また、VIN3 は太い入力ラインへ接続してください。
7	FB3	**Feedback of Buck 3.** Buck 3 の出力から FB3 へダイレクト接続してください。
8	RSTO	**Reset output from the PMIC to the CPU.** The 3.3V (Buck 4) output は、RSTODELAY timer の後に ready となり、RSTO が High となります。RSTO 出力は、open-drain 出力ですので、プルアップ抵抗が必要です。
9	SCL	**I^2C clock signal input.** SCL 入力は、I^2C 機能を使用しない時、AVIN からプルアップ抵抗が必要になります。
10	SDA	**I^2C data.** 入力は、I^2C 機能を使用しない時、AVIN からプルアップ抵抗が必要になります。
11	OUT4	**LDO4 output.** LDO4 は、VIN5 からの入力で動作します。
12	OUT5	**LDO5 output.** LDO5 は、VIN5 からの入力で動作します。
13	VIN5	**LDO4 and LDO5 のパワーインプット.**
14	FB4	**Feedback of Buck 4.** Buck 4 の出力から FB4 へダイレクト接続してください。
15	VIN4	**Supply voltage input of Buck 4.** The MP5416 は、2.8V から 5.5V 入力です。入力にデカップリングとしてセラミックコンデンサが必要です。また、VIN4 は太い入力ラインへ接続してください。
16	SW4	**Buck 4 スイッチノード.** インダクタへの太いラインへ接続してください。
17	GND4	**Power ground of Buck 4.** GND4 を GND 面やビアへ接続してください。
18	GND2	**Power ground of Buck 2.** GND2 を GND 面やビアへ接続してください。
19	SW2	**Buck 2 スイッチノード.** インダクタへの太いラインへ接続してください。
20	VIN2	**Supply voltage input of Buck 2, LDORTC, LDO2, and LDO3.** The MP5416 は、2.8V から 5.5V 入力です。入力にデカップリングとしてセラミックコンデンサが必要です。また、VIN2 は太い入力ラインへ接続してください。
21	FB2	**Feedback of Buck 2.** Buck2 の出力から FB2 へダイレクト接続してください。
22	OUT3	**LDO3 output.** LDO3 は、VIN2 からの入力で動作します。
23	OUT2	**LDO2 output.** LDO2 は、VIN2 からの入力で動作します。
24	OUTRTC	**RTC LDO output.** この LDO は、VIN2 からの入力で動作します。高い出力設定にすると、VIN2 と OUTRTC 出力の電圧ギャップが低くなります。
25	AGND	**Analog ground.** この AGND を Power グランドに接続してください。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

PIN FUNCTIONS *(continued)*

Package Pin #	Name	Description
26	AVIN	**Logic サーキットの Power supply input.** AVIN-AGND 間のパスコンは 0.1μF – 1μF のセラミックコンデンサが必要です。また、AVIN は、system インプットに接続してください。
27	FB1	**Feedback of Buck 1.** Buck1 の出力から FB1 へダイレクト接続してください。
28	nPBIN	**Push-button input.** nPBIN は、ロジックインプットで、スタートアップやシャットダウンする際に使用します。この入力を“L”にする Deglitch タイムは、あらかじめ設定された時間以上”L”を入力すると有効動作します。また、nPBIN は、少ないプルアップ電流源と内部で接続されています。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

BLOCK DIAGRAM

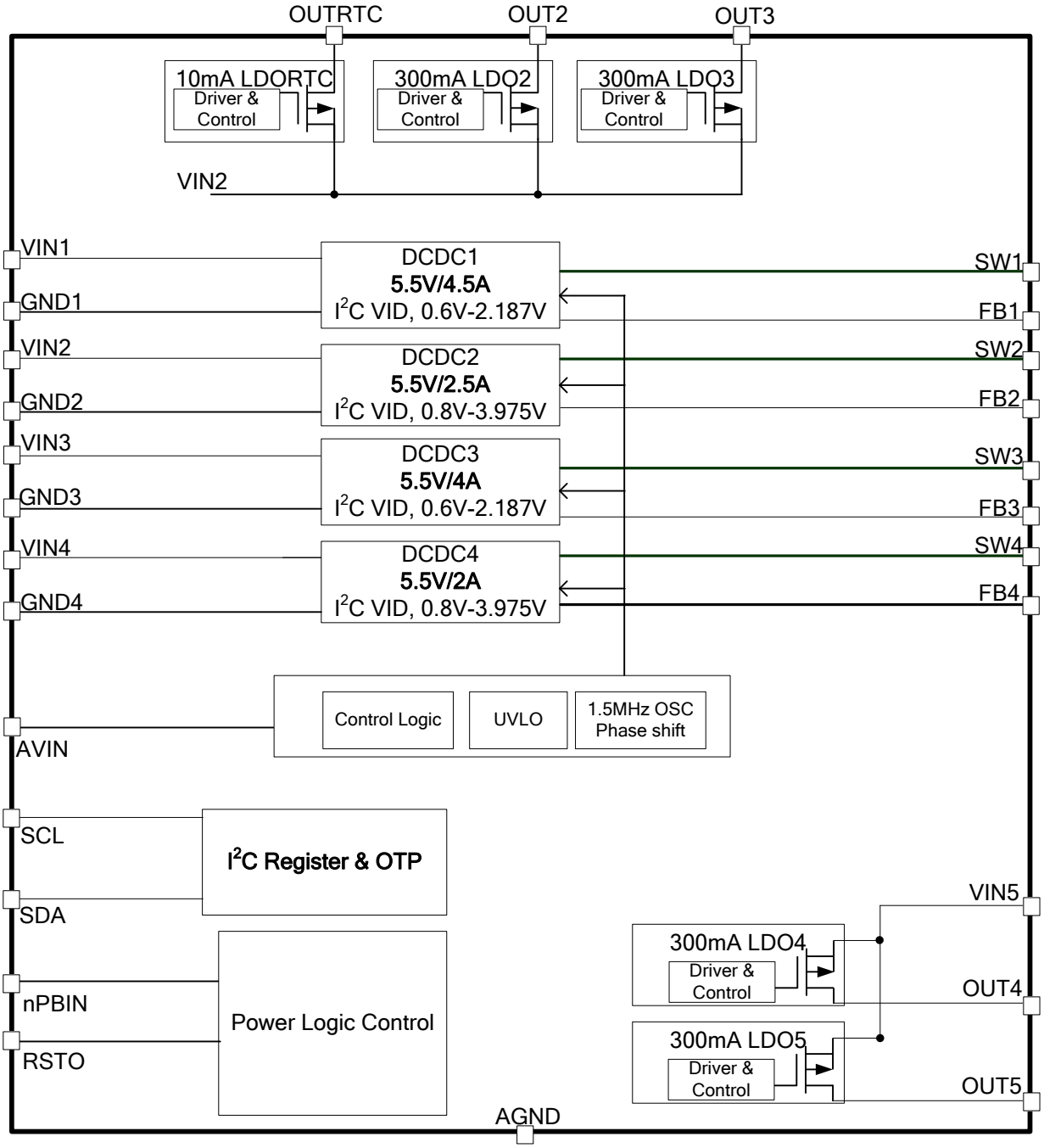


Figure 1: Functional Block Diagram

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

OPERATION

MP5416 は、TV、SSD、STB、などの 5V 入力のシステム向けの Power ソリューションを提供します。
MP5416 は、4CH の高効率同期整流タイプ降圧 DCDC と 5CH の LDO を内蔵しています。そのため、外部部品やボードスペースの低減に貢献します。MP5416 は、1 セルリチウムバッテリーもしくは 5V の入力源で動作可能なため、柔軟なシステムデザインを可能にします。

I²C と One-time Programmable(OTP)インターフェースは、デフォルトの出力電圧とダイナミックな出力電圧可変動作を提供します。また、I²C インターフェースでは、いくつものロジック機能も提供します。
詳細は 28 ページのレジスターマップをご参照ください。

1. Power Control

1.1 State Machine Diagram

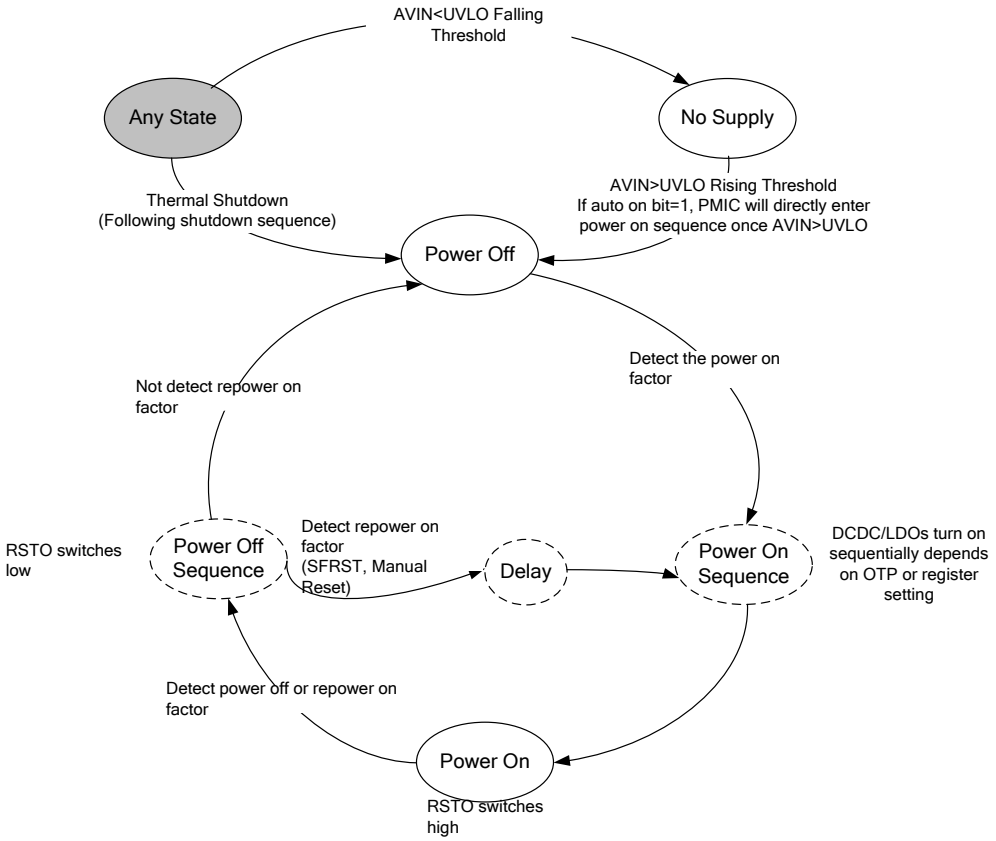


Figure 2: Power Control State Machine Diagram

State Machine Description

ステートマシーン（図2参照）は、下記の機能を持っています。

No Supply

PMIC 入力ピンは、UVLO 検出機能を持っています。もし、AVIN 入力電圧が立ち上がり UVLO 閾値より低い場合、PMIC の動作は停止します。

Power Off

AVIN が立ち上がり UVLO 閾値より高くなった時、AUTOON bit=0 の場合には、PMIC は最初 Power-off 状態に移行します。この状態では、PMIC は常に Power-on の信号をモニタリングしています。もし Power-on 信号が来た時には、すぐに Power-on シーケンスへ移行します。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

Power-On Sequence

DCDC コンバータと LDO は、あらかじめ OTP によってプログラムされたシーケンスで立ち上がります。

Power-On

DCDC コンバータと LDO は、Power-on 信号で立ち上がります。RSTO 出力スイッチが High になると、PMIC は Power-off もしくは、repowerーon信号をモニタリングします。

Power-Off Sequence

Power-on の状態から、PMIC が Power-off もしくは repower-on 信号を検出したら、Power-off シーケンスへ移行します。RSTO は、最初スイッチが Low で、DCDC コンバータと LDO は、立下りは立ち上がりの逆のシーケンスで立下ります。repower-on の状態では、PMIC は power-off シーケンスが完了したあと、自動的に delay timer のあと、power-on シーケンスへ移行します。

Shutdown Event

もし、PMIC が UVLO より低い入力電圧を検出するか、もしくは過熱保護がトリガされた場合には、PMIC は現在の状態に関わらず、no-supply state か power-off state に移行します。

NOTE: もし PMIC が過熱保護で power-off state へ移行した場合、LDORTC は off します。

1.2 Power-On Factor

PMIC は下記の power-on 信号を持っています。

SYSEN

SYSEN は I^2C レジスタに 1data bit あります。もし、SYSEN bit が 1 にセットされると、システムは power-off 状態から power-on シーケンスへ移行します。
SYSEN は 2 つの方法で bit を 0 から 1 へセットできます。一つ目は、AUTOON bit を OTP で 1 にセットし、入力電圧が UVLO の閾値より高くなり、SYSEN bit へ AUTOON bit の 1 が自動的にロードされた場合。
二つ目は、プッシュボタンにより、power on 信号が入力された場合です。

nPBIN_ON

nPBIN_ON は 2 種類のプッシュボタンイベントを持っています。もし、nPBIN を Low にし、かつ 2 秒以上の時、PMIC は power-on イベントと認識します。また、power-off の状態で nPBIN を debounce タイム 30mS 以上 Low にした場合にも PMIC は power-on イベントと認識します。SYSEN bit は、上記の nPBIN 主導の power-on イベントを検出されると、High にセットされます。

Thermal Recovery

もし、MP5416 が過熱保護閾値より高い温度にて power-off の状態の時、PMIC は温度が低下次第、power-on シーケンスへ移行します。

1.3 Power-On Sequence

Power-on シーケンスタイミング（図 3 参照）には 8 つのスロットがあります。
すべての DCDC コンバータと LDO（RTCLDO 除く）は、OTP にて 0～7 のスロットへプログラム可能です。
それぞれのスロットの遅延時間は MP5416 のデフォルトスイッチング周波数に関連しています。（Table1 参照）

Table 1: Slot Time Interval vs. Default Switching Frequency

Default Switching Frequency	Time Delay between Each Slot
1.0MHz	3ms
1.5MHz	2ms
2.0MHz	1.5ms
2.5MHz	1.2ms

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

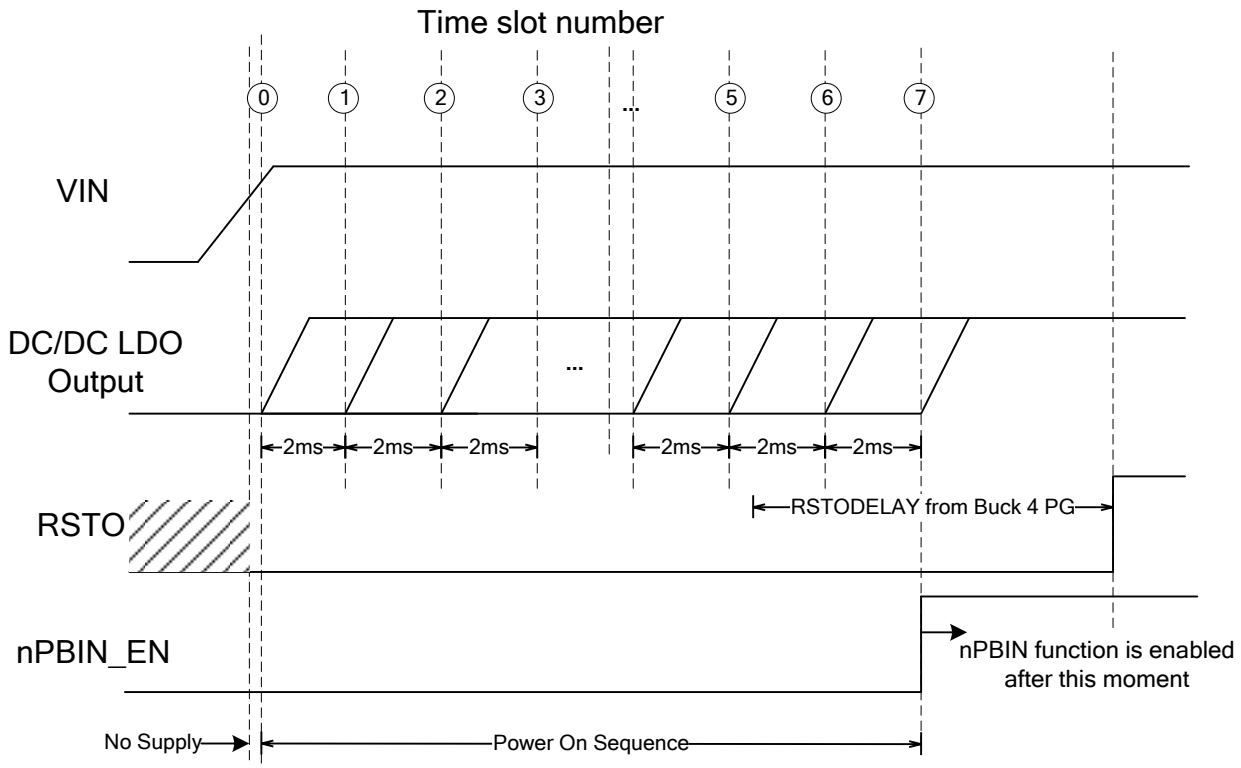


Figure 3: Power-On Sequence (Auto-On Bit Is Set to 1)

1.3.1 OUTRTC ON

OUTRTC LDO は VIN2 と AVIN が ULVO より高いときは、他のピン状態にかかわらず常に ON します。
OUTRTC は、VIN2 か AVIN が UVLO 閾値より低下するか、過熱保護がトリガされた場合、turn-off します。

1.3.2 Other Buck Regulators and LDOs On

MP5416 はプログラマブルな power-on シーケンスを提供します。一度 power-on シーケンスを決定したら power-off シーケンスはその逆に設定されます。OTP 構成テーブルは、それぞれの出力 CH のタイムスロット数を設定するために 25 ページにレジスタ bits が記載されています。

1.4 Power-Off Factor

nPBIN_Long_Press

もし、nPBIN が Low に設定され 8 秒以上 Low の場合、PMIC は power-off シーケンスへ移行します。

nPBIN_Short_Press

もし、nPBIN が Low に設定され、かつ debounce タイム 30mS 以上 Low の場合は、PMIC は power-off シーケンスへ 8mS の遅延時間のあとに移行します。

（図 6 参照）

SYSEN (Software-Initiated Power-Off)

MP5416 は I^2C を使用したソフトウェアコントロールによる power-off をサポートしています。SYSEN は、I^2C レジスタの 1data bit です。もし、SYSEN は 0 に設定するとシステムは power-off シーケンスへ移行します。
nPBIN 機能もしくは入力電源の ON/OFF スイッチのトグルによって PMIC はリスタートします。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

1.4.1 Power-Off Sequence

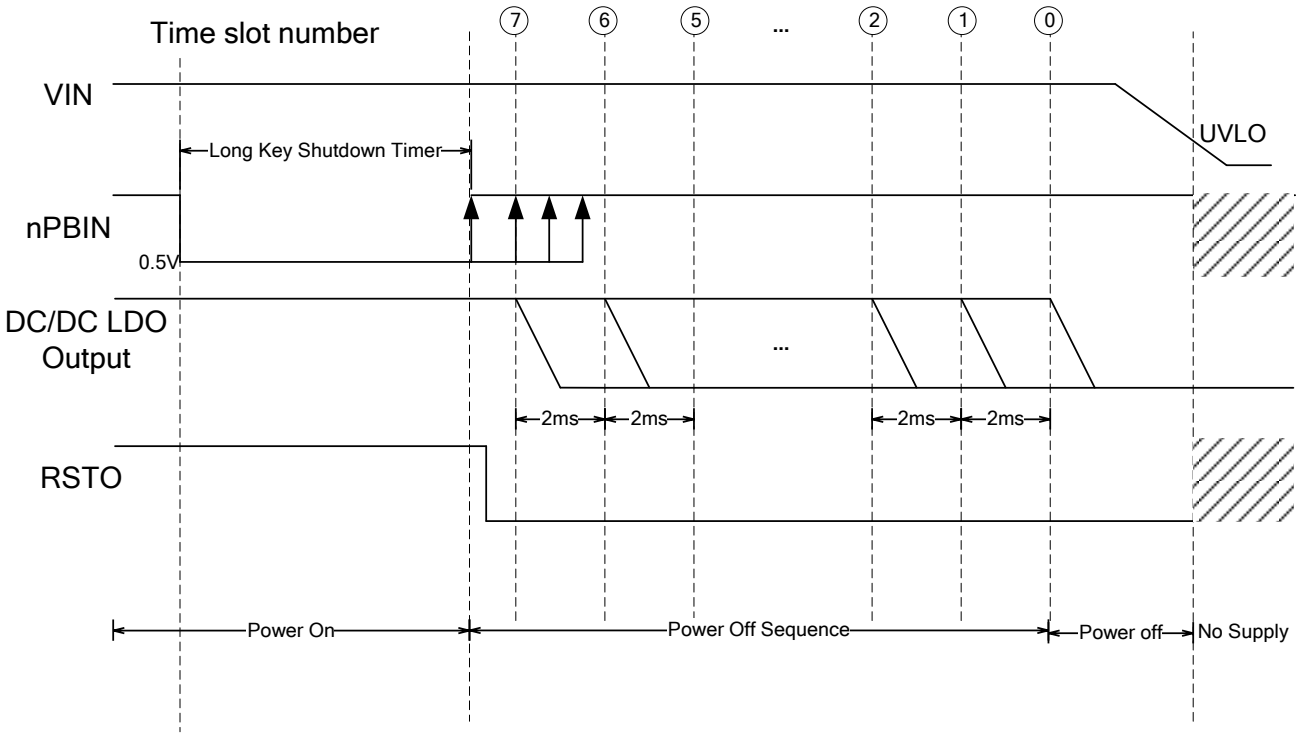


Figure 4: Power off Sequence by nPBIN Key Press

RSTO は、DCDC コンバータや LDO が turn off する前にプル Low されています。DCDC コンバータと LDO の power-off シーケンスは、power-on シーケンスと逆の順番で立下ります。

1.5 Repower-On Factor

Manual_Reset

nPBIN は、debounce タイム 30mS 以上 GND にプルダウン（マニュアルリセット閾値以下）されて、その後解除されます。（図 6 参照）

SFRST

ソフトウェアリセット。もし SFRST bit が 1 に I²C 経由で設定されますと、それを system は repower-on 信号として検出します。

1.6 Repower-On Sequence (Software-Initiated Power Cycle)

MP5416 は、I²C かマニュアルリセットボタンを介してソフトウェアコントロールパワーリセットに対応しています。ソフトウェアコントロール時には、SFRST bit を 1 にセットします。MP5416 は 8mS 待機して power off します。そして 60mS 遅延後に再度前パワーレールを power on させます。SFRST bit は RSTO の立ち上がりエッジによって、0 に自動的にリセットされます。

SFRST bitが0にリセットされた後、ソフトウェアは再度、power cycle制御可能な状態になります。Repower-on信号はrepower-onの期間はブロックされます。（t1-t2期間。図5参照）

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

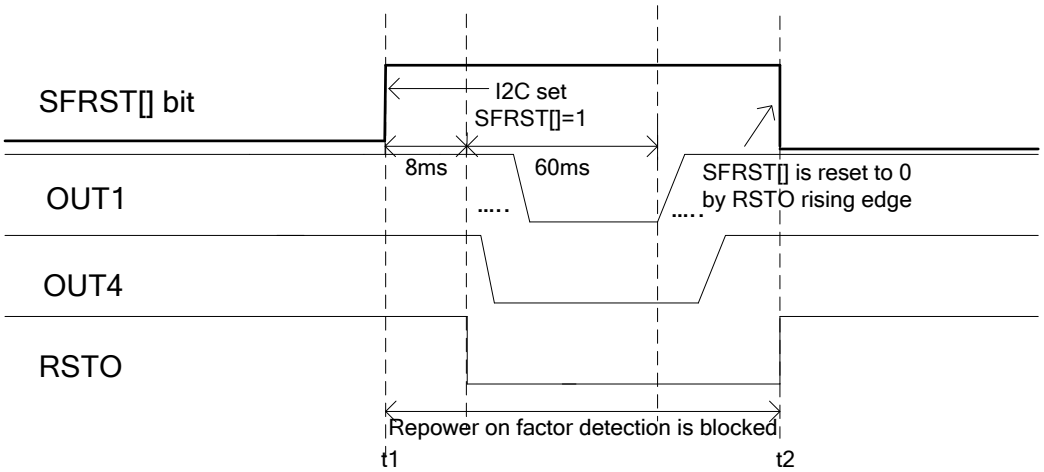


Figure 5: Repower-On Sequence (Software Control)

マニュアルリセットコントロールを使用している際、もし PMIC が power on 状態の時、一次的にマニュアルリセットボタンを押下しますと、PMIC は 30mS のデバウンスタイムと 8mS のディレイの後 power-off シーケンスに移行します。そして OFF の状態はマニュアルリセットボタンが解放されるまで継続され、解放されたら 30mS の debounce タイムの後 power-on シーケンスへ再度移行します。以上でマニュアルリセット機能は、完了します（図 6 参照）

1.7 Shutdown Sequence

入力電圧が UVLO 閾値より低下するか、もしくは過熱の時、PMIC はシャットダウンシーケンスへ移行します。すべての DCDC と LDO 出力は同時に turn off します。（図 7 参照）

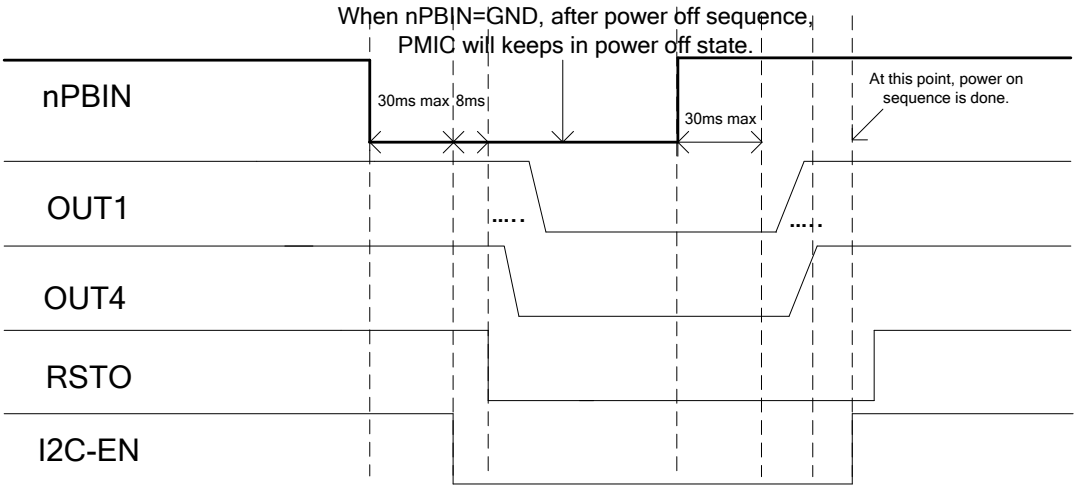


Figure 6: Repower-On Sequence (Manual Reset Control)

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

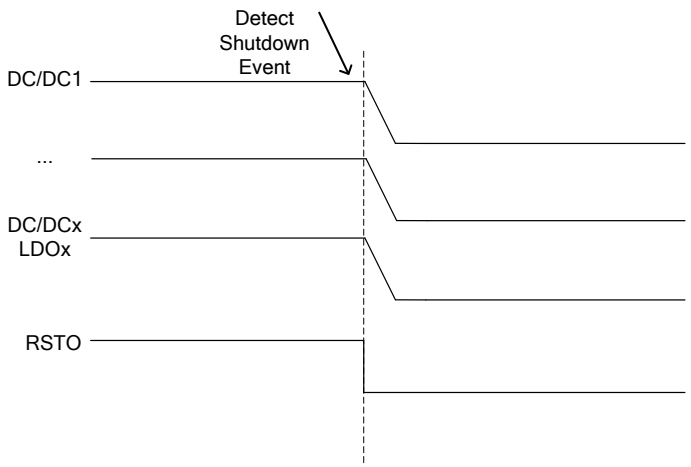


Figure 7: Shutdown Sequence

2. High Efficiency Buck Regulator

Buck1～Buck4 の同期整流降圧 DCDC コンバータは、UVLO, ソフトスタート、補償回路、ヒックアップ過電流保護が内蔵されています。固定周波数 Constant-on-time(COT)制御は、高速応答性能を提供します。Buck1 から Buck4 のスイッチングクロックは、連続モード動作（CCM）の時、Phase shift 動作を行います。また Buck2 と Buck4 は 100%Duty モード動作をサポートします。

Power Supply and UVLO

VIN1 は Buck1 の入力源です。VIN2 は Buck2、LDORTC、LDO2、LDO3 の入力源です。VIN3 は Buck3 の入力源です。VIN4 は、Buck4 の入力源です。VIN5 は、LDO4、LDO5 の入力源です。AVIN は内部ロジックへのバイアス電源の入力源です。

VIN1, VIN3, VIN5,とAVIN は、ヒステリシスを持ったUVLO 機能があります。VIN2 と VIN4 は同じ UVLO 機能をシェアしています。AVIN が上昇し、上昇時の UVLO 閾値を越えたら、nPBIN ロジックがイネーブルとなり、start-up と shutdown コマンド受け入れ待機状態となります。LDORTC は VIN2 が上昇時の UVLO 閾値を越えたらアクティブになります。パワーが turn-on する前は、入力 shutdown 電流は 15uAtyp となります。

Internal Soft Start (SS)

Soft-start 機能は PMIC の出力がスタートアップ時にオーバーシュートを発生するのを防ぎます。PMIC がスタートアップしたら、内部パワーレールの soft-start 電圧が 0V から上昇します。

Soft-start期間はリファレンス電圧を越えたソフトスタートコンデンサ電圧まで継続されます。この時、リファレンス電圧が引き継がれます。4CHのBuckコンバータ出力についてsoft-startは450uSで固定です。LDO2-LDO5出力のsoft-startは70uSで固定です。LDORTC出力のsoft-startスルーレートは35mV/uS固定になっています

Output Discharge

Power-off シーケンス時の出力コンデンサエネルギーの放電について、DCDC コンバータや LDO の出力から GND へのアクティブな放電機能になります。対象の CH が disable になると、放電パスが turn-on になります。Typical 放電抵抗は 7Ω です。この放電機能は I^2C インターフェースによって ON/OFF できます。

3. System Control Signals

3.1 nPBIN Functions

nPBIN はマルチ機能ピンで、プッシュボタン検出とマニュアルリセットを検出します。このピンは内部で AVIN にプルアップされ、プルアップ電流もあります。

MP5416 はプッシュボタンとマニュアルリセットの判別を個別の Pull-low 抵抗で行います。nPBIN をマニュアルリセット時 GND へ接続してください。プッシュボタンは、49.9kΩ 抵抗を介して GND へ接続してください。

プッシュボタンイベントとマニュアルリセットイベントは割り込み信号を生成し、対象の割り込み bit を High にセットします。詳細は 31 ページの Status2 レジスタを参照してください。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

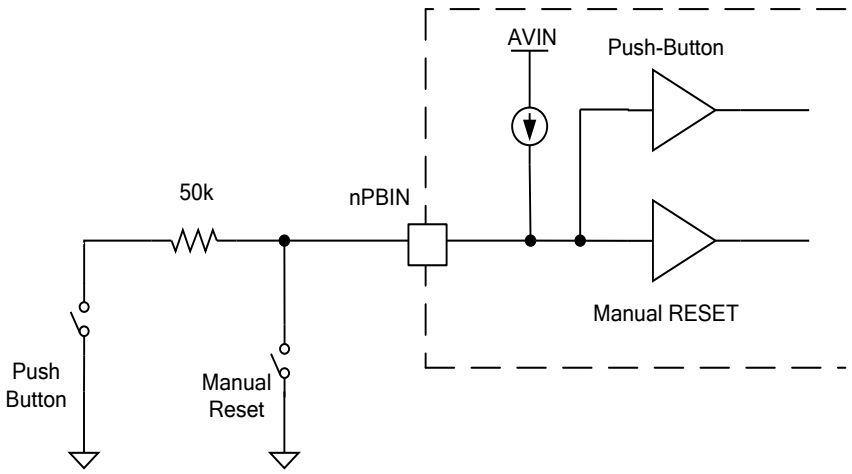


Figure 8: nPBIN Functional Block Diagram

3.1.1 Push Button Control

Long Press 1/Start-Up

PMIC が power-off 状態の時、もし AVIN が UVLO 閾値を越え、かつプッシュボタンが 2 秒以上 Low にされた時、power-on シーケンスがスタートします。この Power-on シーケンスは CPU が制御開始する前に終了しなくてはなりません。Power-on シーケンスの終了信号は RSTO 信号が High になります。（図 9 参照）

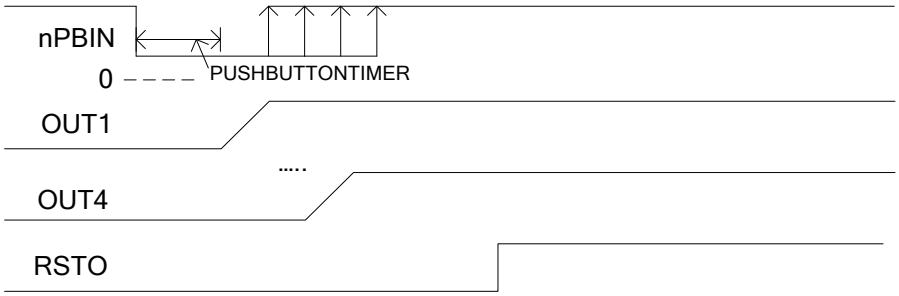


Figure 9: nPBIN Push Button Long Press 1: Start-Up

Long Press 2/Shutdown

Power-on 状態の時、8 秒以上 Push bottun が Low になった時、Power-off シーケンスがスタートします。MP5416 はすべてのレギュレータと LDO が turn off します。（OUTRTC 以外）

Power-off シーケンスは start-up シーケンスと逆のシーケンスです。

もし、nPBIN が 49.9kΩを介して Low になったときは、MP5416 は power-off を継続します。（図 10 参照）

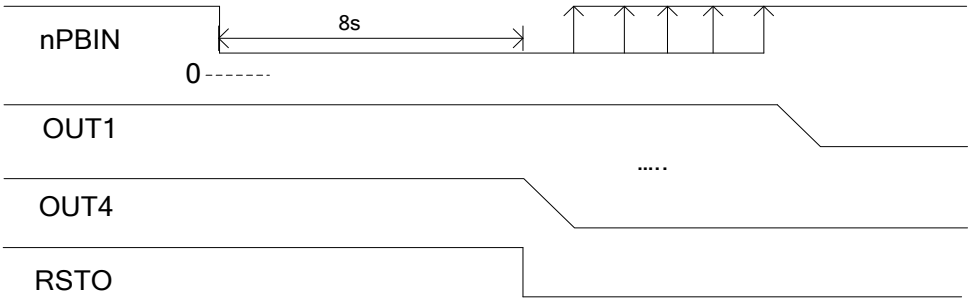


Figure 10: nPBIN Push Button Long Press 2: Shutdown

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

3.1.2 Manual Reset Control

Short Press and Release/Manual Reset

もし、MP5416 が power-off 状態の時、nPBIN を短期間マニュアルリセット閾値よりも debounce タイム 30mS 下げた時、MP5416 は power-on シーケンスがスタートします。MP5416 がターンオンした時、短期間マニュアルリセット閾値よりも 30mS の debounce 時間より nPBIN を下げたらマニュアルリセット機能をトリガします（図 11 参照）

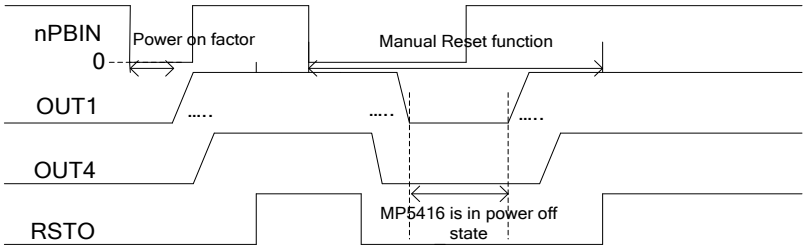


Figure 11: nPBIN Push Button Short Press to Ground

マニュアルリセットを検出した時、PMIC はマニュアルリセットボタンがリリースされるまで、power-off モードに入るか継続します。そして、PMIC は再度 debounce タイム 30mS の後 power-on 状態に入ります。

3.2 Auto Turn-On

もし、AUTOON bit が OTP 構成テーブルで High にセットされていた時、システムは SYSEN をデフォルトで 1 にセットします。PMIC は AVIN が UVLO 閾値を越えたら、power-on シーケンスに自動的に移行します。
この場合、システムは、プッシュボタン信号無しに自動的にスタートアップします。Power-up のあと、プッシュボタンは、マニュアル power-on/off 制御可能になり、SYSEN は I^2C で read/write することができます。

3.3 RSTO (Reset Output)

Buck4 出力が ready（Vfb>90% Vref）となった時、RSTO 出力は RSTO delay タイムのあと、processer が enable となるように high になります。RSTO は外部プルアップ抵抗でオープンドレイン構成になります。RSTO は、Buck4 出力がノーマル出力の 80%になるか、システムが power-off 信号、シャットダウン信号、repower-on 信号を検出したら pull-low になります。.

3.4 Thermal Warning and Shutdown

サーマル warning と shutdown は、デバイスが過熱動作することを防ぎます。Die 温度が 120℃を越えたら、MP5416 は OTWARNING bit を 1 にセットします。
もし、Die 温度が 153℃を越えたら、MP5416 は OTEMPP bit を 1 にセットします。一方でシステムはシャットダウンシーケンスへ移行します。
そして、Die が 130℃に低下したら、再度レギュレータは power-on シーケンスへ移行します。

3.5 I^2C Timing Graph

I^2Cインターフェースは内部電源で動作し、その電源は 2V固定です。VINがpower-upしている間、VINがUVLOを越えたら、この2V電源は0.5mSdelayの後にreadyとなります。さらに5mSの後、I^2Cインターフェースは使用可能になります。（図12参照）

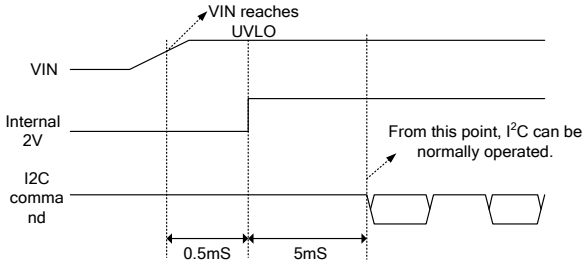


Figure 12: I^2C Timing Graph

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

I²C INTERFACE

I²C Serial Interface Description

I²C は 2-wire でデータライン（SDA）とクロックライン（SCL）からなる双方向のシリアルインターフェイスです。このラインは、使用されていない時、外部でバス電圧にプルアップされています。マスターデバイスは、SCL 信号とデバイスアドレスとコミュニケーションを成立させるためにこのラインに接続します。MP5416 は、ハイスピードモード（3.4MHz）とファーストモード（400kHz）をサポートする I²C スレーブデバイスです。この I²C インターフェースにてパワーサプライソリューションを柔軟性を持たせています。それは、出力電圧とその遷移スルーレート、他のパラメータなど即座に I²C インターフェースでコントロールできます。マスターが 8-bit のアドレス値を送出したら、write か read 動作を指示して 7-bit のアドレスを続けて送出します。

Start and Stop Conditions

Start と Stop 信号はマスターデバイスによって作成され、I²C 信号の始まりと終わりの信号を示します。Start コンディションは、SCL が High で、SDA 信号の High から Low に遷移することで決定されます。Stop コンディションは SCL が High で SDA 信号が Low から High に遷移することで決定されます。（図 13 参照）

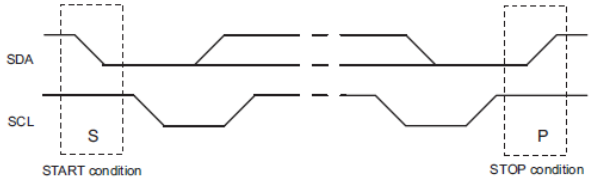


Figure 13: Start and Stop Conditions

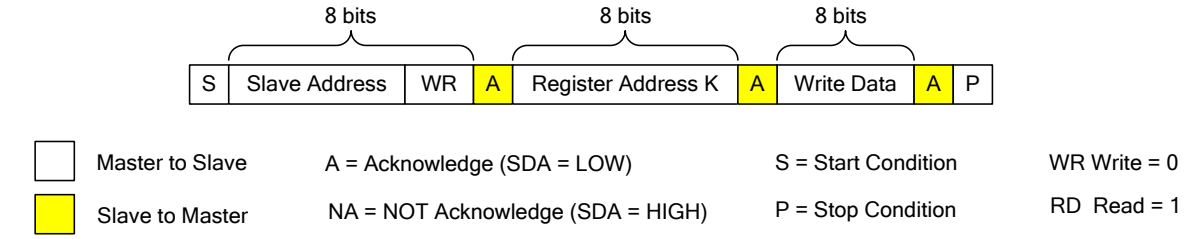
マスターデバイスは、SCL クロックを生成し、SDA ライン上で read/write の方向 bit、デバイスアドレスを送出します。

Transfer Data

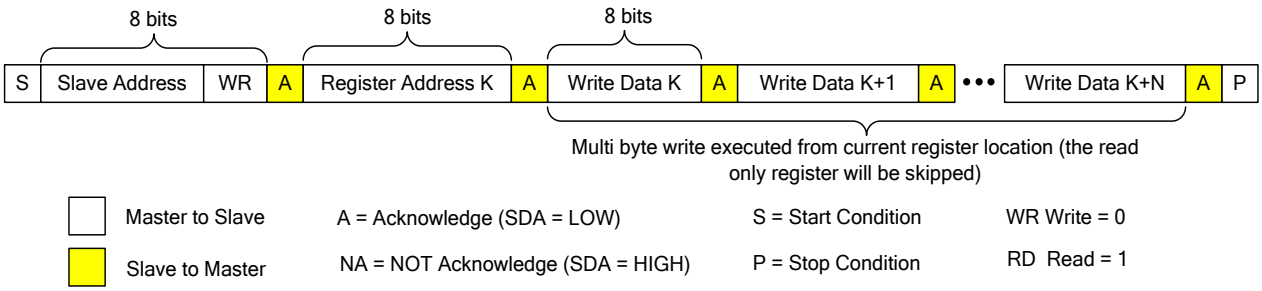
データは、SDA ラインにて 8-bit バイトで送出されます。それぞれの byte データは acknowledge bit が付加されています。

I²C Update Sequence

MP5416 は single data update のために、スタートコンディション、有効な I²C アドレス、レジスタアドレス byte、とデータ byte を必要とします。MP5416 は、シングルクロックパルスの High 期間中に SDA ラインがプル low されることによってそれぞれの byte が認識されます。有効な I²C アドレスが MP5416 を選択し、MP5416 が LSB byte の立下りエッジで更新を実行します。I²C による write と read シーケンス例は下記に示します。

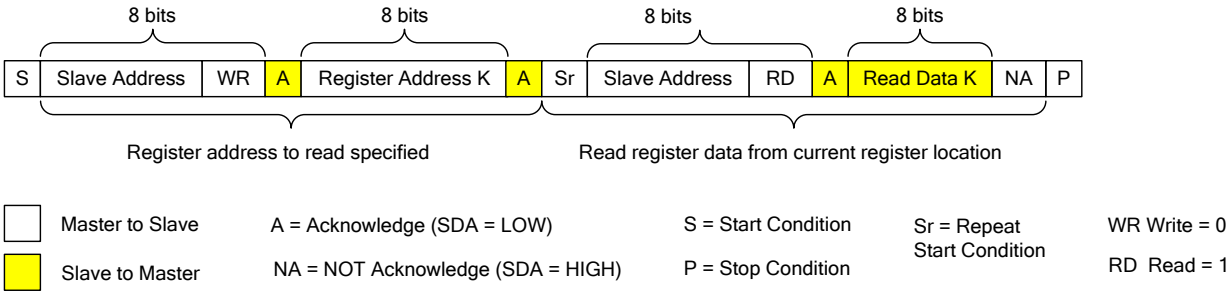


I²C Write Example – Write Single Register



I²C Write Example – Write Multi Register

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.



I²C Read Example – Read Single Register

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

REGISTER DESCRIPTION

OTP eFuse Configuration Table

#	NAME	D7	D6	D5	D4	D3	D2	D1	D0
00	CTL1	AUTOON	FREQUENCY		PUSHBUTTONTIMER			RSTODELAY	
01	CTL2	ILIMBUCK1		ILIMBUCK3		*N/A*	PWRONDELAYBUCK1		
02	CTL3	*MODEBUCK1*	*NOT NEED*	PWRONDELAYBUCK2			PWRONDELAYBUCK3		
03	CTL4	*MODEBUCK2*	*NOT NEED*	PWRONDELAYBUCK4			PWRONDELAYLDO2		
04	CTL5	*MODEBUCK3*	*NOT NEED*	PWRONDELAYLDO3			PWRONDELAYLDO4		
05	CTL6	*MODEBUCK4*	*NOT NEED*	PWRONDELAYLDO5			*N/A*		
06	VSET1	ENBUCK1	BUCK 1 VOUT SET: **0.6V-2.1V/100mV** STEP				**I²C SLAVE ADDRESS A3, A2, A1**		
07	VSET2	ENBUCK2	BUCK 2 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					*N/A*	
08	VSET3	ENBUCK3	BUCK 3 VOUT SET: **0.6V-2.1V/100mV** STEP				*N/A*		
09	VSET4	ENBUCK4	BUCK 4 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					*N/A*	
10	VSET5	Reserved	LDORTC OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					*N/A*	
11	VSET6	ENLDO2	LDO2 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					*N/A*	
12	VSET7	ENLDO3	LDO3 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					*N/A*	
13	VSET8	ENLDO4	LDO4 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					**OTP VERSION D1, D0**	
14	VSET9	ENLDO5	LDO5 OUTPUT VOLTAGE SET: **0.8V-3.9V/100mV** STEP					**OTP VERSION D3, D2**	

OTP eFuse Selected Table by Default

OTP Items	Buck 1	Buck 2	Buck 3	Buck 4	LDORTC	LDO2	LDO3	LDO4	LDO5
Output Voltage	1.2V	1.5V	1.8V	3.3V	3.2V	3.3V	3.3V	1.1V	1.8V
Initial On/Off	On	On	On	On	On	On	Off	On	On
Mode	FPWM	PFM	FPWM	FPWM	N/A				
Power-On Delay/Time Slot #	2ms/1	4ms/2	4ms/2	0ms/0	Always on	4ms/2	6ms/3	2ms/1	4ms/2
Automatic Turn-On	Yes								
Switching Frequency	1.5MHz								
Push-Button Timer	2 seconds								
RSTO Delay	10ms								
Buck 1 Peak Current Limit	6.8A								
Buck 3 Peak Current Limit	5.6A								
I2C Slave Address	0x69								
OTP Version	0000								

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

Descriptions

<table>
<tr><th>NAME</th><th>BITS</th><th>DEFAULT</th><th>DESCRIPTION</th></tr>
<tr><td>AUTOON</td><td>D[7]</td><td>1</td><td>System 自動ターンオン bit. もし、AUTOON が High にセットされた時、system は、AVIN が UVLO 立ち上がり閾値を越えたら、power-on シーケンスに入ります。
この時、push button (nPBIN)を押す必要はありません。
AUTOON bit 情報は、AVIN が UVLO 立ち上がり閾値に達したら SYSEN レジスタにロードされます。</td></tr>
<tr><td>FREQUENCY</td><td>D[6:5]</td><td>01</td><td>Switching frequency set bit.
00: fs = 1MHz
01: fs = 1.5MHz
10: fs = 2MHz
11: fs = 2.5MHz</td></tr>
<tr><td>PUSHBUTTON TIMER</td><td>D[4:2]</td><td>011</td><td>push button 長押し 1 power-on deglitch タイマー設定
<table>
<tr><th></th><th>Fsw = 1MHz</th><th>Fsw = 1.5MHz</th><th>Fsw = 2MHz</th><th>Fsw = 2.5MHz</th></tr>
<tr><td>000</td><td>0.75s</td><td>0.5s</td><td>0.375s</td><td>0.3s</td></tr>
<tr><td>001</td><td>1.5s</td><td>1s</td><td>0.75s</td><td>0.6s</td></tr>
<tr><td>010</td><td>2.25s</td><td>1.5s</td><td>1.225s</td><td>0.9s</td></tr>
<tr><td>011</td><td>3s</td><td>2s</td><td>1.5s</td><td>1.2s</td></tr>
<tr><td>100</td><td>3.75s</td><td>2.5s</td><td>1.875s</td><td>1.5s</td></tr>
<tr><td>101</td><td>4.5s</td><td>3s</td><td>2.25s</td><td>1.8s</td></tr>
<tr><td>110</td><td>5.25s</td><td>3.5s</td><td>2.625s</td><td>2.1s</td></tr>
<tr><td>111</td><td>6s</td><td>4s</td><td>3s</td><td>2.4s</td></tr>
</table>
There is no corresponding data in the I²C register table for the three bits.</td></tr>
<tr><td>RSTODELAY</td><td>D[1:0]</td><td>11</td><td>output delay リセット
<table>
<tr><th></th><th>Fsw = 1MHz</th><th>Fsw = 1.5MHz</th><th>Fsw = 2MHz</th><th>Fsw = 2.5MHz</th></tr>
<tr><td>00</td><td>210ms</td><td>140ms</td><td>105ms</td><td>84ms</td></tr>
<tr><td>01</td><td>150ms</td><td>100ms</td><td>75ms</td><td>60ms</td></tr>
<tr><td>10</td><td>75ms</td><td>50ms</td><td>37.5ms</td><td>30ms</td></tr>
<tr><td>11</td><td>15ms</td><td>10ms</td><td>7.5ms</td><td>6ms</td></tr>
</table>
There is no corresponding data in the I²C register table for the three bits.</td></tr>
<tr><td>PWRONDELAY BUCK1-4, LDO2-6</td><td>3 bit</td><td>---</td><td>SYSEN = high から Buckx/LDOx スタートまでの遅延時間
000: 0ms – time slot 0
001: 2ms – time slot 1
010: 4ms – time slot 2
011: 6ms – time slot 3
100: 8ms – time slot 4
101: 10ms – time slot 5
110: 12ms – time slot 6
111: 14ms – time slot 7
Delay time between neighbor slots are related with the PMIC default switching frequency. Refer to the Operation section on page 16 for details.
There is no corresponding data in the I²C register table for the three bits.</td></tr>
<tr><td>MODEBUCKX</td><td>1 bit</td><td>---</td><td>mode セレクト (auto PFM/PWM mode or forced PWM mode).
0: auto PFM/PWM mode (Buck 2 default mode)
1: forced PWM mode (Buck 1, Buck 3, and Buck 4 default mode)
These bits are loaded into the I²C register MODEBUCKx during VIN1 exceeding UVLO.</td></tr>
</table>

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

Descriptions *(continued)*

NAME	BITS	DEFAULT	DESCRIPTION
ILIMBUCK1/3	2 bit	10	Buck レギュレータの current limit プログラム: 00: 3.8A typical high-side peak current limit 01: 4.6A typical high-side peak current limit 10: 5.6A typical high-side peak current limit 11: 6.8A typical high-side peak current limit
I^2C SLAVE ADDRESS A3, A2, A1	3 bit	001	Page28 の slave I^2C address の A3 から A1bit を参照.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

I²C Register Map

ADD (HEX)	NAME	R/W	D7	D6	D5	D4	D3	D2	D1	D0
00	CTL0	r/w	SYSEN	SFRST	Reserved				Reserved	Reserved
01	CTL1	r/w	Reserved	MODE BUCK1	MODE BUCK2	MODE BUCK3	MODE BUCK4	DISCHG BUCK3	DISCHG BUCK2	DISCHG BUCK1
02	CTL2	r/w	DVS SLEW RATE		DISCHG BUCK4	DISCHG LDO2	DISCHG LDO3	DISCHG LDO4	DISCHG LDO5	Reserved
03	ILIMIT	r/w	ILIMBUCK1		ILIMBUCK3		ILIMBUCK2		ILIMBUCK4	
04	VSET1	r/w	ENBUCK1	BUCK1 OUTPUT VOLTAGE SET: **0.6V-2.1875V/12.5mV** STEP						
05	VSET2	r/w	ENBUCK2	BUCK2 OUTPUT VOLTAGE SET: **0.8V-3.975V/25mV** STEP						
06	VSET3	r/w	ENBUCK3	BUCK3 OUTPUT VOLTAGE SET: **0.6V-2.1875V/12.5mV** STEP						
07	VSET4	r/w	ENBUCK4	BUCK4 OUTPUT VOLTAGE SET: **0.8V-3.975V/25mV** STEP						
08	VSET5	r/w	ENLDO2	LDO2 OUTPUT VOLTAGE SET: 0.8V-3.975V/25mV STEP						
09	VSET6	r/w	ENLDO3	LDO3 OUTPUT VOLTAGE SET: 0.8V-3.975V/25mV STEP						
0A	VSET7	r/w	ENLDO4	LDO4 OUTPUT VOLTAGE SET: 0.8V-3.975V/25mV STEP						
0B	VSET8	r/w	ENLDO5	LDO5 OUTPUT VOLTAGE SET: 0.8V-3.975V/25mV STEP						
0C			RESERVED							
0D	Status1	r	PGLDO4	PGLDO3	PGLDO2	PGRTC	PG4	PG3	PG2	PG1
0E	Status2	r	KEYON	KEYOFF	MREST	SHORTKEY ON	SFRST_ON	Reserved	Reserved	PGLDO5
0F	Status3	r	OTWARNING	OTEMPP	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
10			Reserved							
11	ID2	r	VENDOR ID				OTP VERSION			

Register Description

I²C Bus Slave Address (10)

slave address は read/wirte の 8data による下記の 7bit です。A3, A2, and A1 bits は、by the OTP eFuse でプログラムできます。

	A7	A6	A5	A4	A3	A2	A1
Setting Value	1	1	0	1	0 (11)	0 (11)	1 (11)

NOTES:
10) By default, the slave address is 0x69, A[7:1] = 1101 001.
11) This bit is programmable by the OTP eFuse.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

1. Reg00 CTL0

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
SYSEN	D[7]	BY OTP AUTOON	System enable on/off bit. MP5416 が power-on event を検出したら、この bit は 1 にセットされます。そして、power-on シーケンスがスタートします。DC/DC converters と LDO regulators は、イネーブル bit (e.g.: ENBUCK1 = 1)と power-on delay (POWERONDELAYBUCK1)設定によって、シーケンシャルに ON し始めます。 この bit を 1 から 0 にすると power-off シーケンスがトリガされます。I²C から SYSEN を 1 から 0 に設定した時、他の I²C レジスタはリセットされません。MP5416 は、プッシュボタンが長押しか、debounce タイム 30mS 以上のマニュアルリセット信号を検出したら、再度イネーブルになります。	AVIN < UVLO
SFRST	D[6]	0	Software リセット。SFRST bit が high に設定されたら、MP5416 は、8ms 待って、すべての power レールをリスタートさせます。RSTO 信号が low から high に設定されたら、MP5416 は、再度 SFRST = 0 に設定します。	AVIN < UVLO or RSTO from low to high

2. Reg01 CTL1

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
MODEBUCKx	D[6:3]	BY OTP	PFM/PWM mode or forced PWM mode. 0: auto PFM/PWM 1: forced PWM mode	AVIN < UVLO or SFRST or manual reset or long press 2
Regulator Discharge	D[2:0]	1	Output discharge イネーブル bit. output discharge 機能は、power-off の間アクティブになります。	

3. Reg02 CTL2

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
DVS SLEW RATE	D[7:6]	01	Voltage scaling slew rate for the Buck 1 to Buck 4 converters. 00: 32mV/µs **01: 16mV/µs** 10: 8mV/µs 11: 4mV/µs	AVIN < UVLO or SFRST or manual reset or long press 2
Regulator Discharge	D[5:0]	1	Output discharge enable bit. The output discharge function is active during the power-off sequence and active after shutdown.	

4. Reg03 ILIMIT

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
ILIMBUCK1 ILIMBUCK3	D[X:X]	BY OTP	Program the current-limit threshold of the buck regulator. 00: 3.8A typical high-side peak current limit 01: 4.6A typical high-side peak current limit 10: 5.6A typical high-side peak current limit 11: 6.8A typical high-side peak current limit	AVIN < UVLO or SFRST or manual reset or long press 2
ILIMBUCK2 ILIMBUCK4	D[X:X]	10	Program the current-limit threshold of the buck regulator. 00: 2.2A typical high-side peak current limit. 01: 3.2A typical high-side peak current limit. 10: 4.2A typical high-side peak current limit. 11: 5.2A typical high-side peak current limit.	

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

5. Reg04 to Reg0B VSET & EN

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
ENX	D[7]	BY OTP	Buckx and LDOx の Enable bit。default value は 1 です。しかし、default SYSEN は、0 です。Regulator は、ENx = 1 で、かつ SYSEN = 1 の時、イネーブルされます。	AVIN < UVLO or SFRST or manual reset or long press 2
BUCK1/3 VOUT SET	D[6:0]	BY OTP	出力電圧を 0.6V ～ 2.1875V の間で 12.5mV ステップで設定できます。(Table 2 参照)	

Table 2: Output Voltage Chart of Buck 1 and Buck 3

D[6:0]	VOUT (V)	D[6:0]	VOUT (V)	D[6:0]	VOUT (V)	D[6:0]	VOUT (V)
0000000	0.6000	0100000	1.0000	1000000	1.4000	1100000	1.8000
0000001	0.6125	0100001	1.0125	1000001	1.4125	1100001	1.8125
0000010	0.6250	0100010	1.0250	1000010	1.4250	1100010	1.8250
0000011	0.6375	0100011	1.0375	1000011	1.4375	1100011	1.8375
0000100	0.6500	0100100	1.0500	1000100	1.4500	1100100	1.8500
0000101	0.6625	0100101	1.0625	1000101	1.4625	1100101	1.8625
0000110	0.6750	0100110	1.0750	1000110	1.4750	1100110	1.8750
0000111	0.6875	0100111	1.0875	1000111	1.4875	1100111	1.8875
0001000	0.7000	0101000	1.1000	1001000	1.5000	1101000	1.9000
0001001	0.7125	0101001	1.1125	1001001	1.5125	1101001	1.9125
0001010	0.7250	0101010	1.1250	1001010	1.5250	1101010	1.9250
0001011	0.7375	0101011	1.1375	1001011	1.5375	1101011	1.9375
0001100	0.7500	0101100	1.1500	1001100	1.5500	1101100	1.9500
0001101	0.7625	0101101	1.1625	1001101	1.5625	1101101	1.9625
0001110	0.7750	0101110	1.1750	1001110	1.5750	1101110	1.9750
0001111	0.7875	0101111	1.1875	1001111	1.5875	1101111	1.9875
0010000	0.8000	0110000	1.2000	1010000	1.6000	1110000	2.0000
0010001	0.8125	0110001	1.2125	1010001	1.6125	1110001	2.0125
0010010	0.8250	0110010	1.2250	1010010	1.6250	1110010	2.0250
0010011	0.8375	0110011	1.2375	1010011	1.6375	1110011	2.0375
0010100	0.8500	0110100	1.2500	1010100	1.6500	1110100	2.0500
0010101	0.8625	0110101	1.2625	1010101	1.6625	1110101	2.0625
0010110	0.8750	0110110	1.2750	1010110	1.6750	1110110	2.0750
0010111	0.8875	0110111	1.2875	1010111	1.6875	1110111	2.0875
0011000	0.9000	0111000	1.3000	1011000	1.7000	1111000	2.1000
0011001	0.9125	0111001	1.3125	1011001	1.7125	1111001	2.1125
0011010	0.9250	0111010	1.3250	1011010	1.7250	1111010	2.1250
0011011	0.9375	0111011	1.3375	1011011	1.7375	1111011	2.1375
0011100	0.9500	0111100	1.3500	1011100	1.7500	1111100	2.1500
0011101	0.9625	0111101	1.3625	1011101	1.7625	1111101	2.1625
0011110	0.9750	0111110	1.3750	1011110	1.7750	1111110	2.1750
0011111	0.9875	0111111	1.3875	1011111	1.7875	1111111	2.1875

6. Buck 2, Buck 4, and LDO Regulator Output Voltage Set

NAME	BITS	DEFAULT	DESCRIPTION	RESET CONDITION
BUCK2/4, LDO VOUT SET	D[6:0]	BY OTP	出力電圧を 0.8V ～ 3.975V の間で、25mV ステップで設定できます。(Table 3 参照)	AVIN < UVLO or SFRST or manual reset or long press 2

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

Table 3: Output Voltage Chart of Buck 2, Buck 4, and all LDOs

D[6:0]	VOUT(V)	D[6:0]	VOUT(V)	D[6:0]	VOUT(V)	D[6:0]	VOUT(V)
0000000	0.800	0100000	1.600	1000000	2.400	1100000	3.200
0000001	0.825	0100001	1.625	1000001	2.425	1100001	3.225
0000010	0.850	0100010	1.650	1000010	2.450	1100010	3.250
0000011	0.875	0100011	1.675	1000011	2.475	1100011	3.275
0000100	0.900	0100100	1.700	1000100	2.500	1100100	3.300
0000101	0.925	0100101	1.725	1000101	2.525	1100101	3.325
0000110	0.950	0100110	1.750	1000110	2.550	1100110	3.350
0000111	0.975	0100111	1.775	1000111	2.575	1100111	3.375
0001000	1.000	0101000	1.800	1001000	2.600	1101000	3.400
0001001	1.025	0101001	1.825	1001001	2.625	1101001	3.425
0001010	1.050	0101010	1.850	1001010	2.650	1101010	3.450
0001011	1.075	0101011	1.875	1001011	2.675	1101011	3.475
0001100	1.100	0101100	1.900	1001100	2.700	1101100	3.500
0001101	1.125	0101101	1.925	1001101	2.725	1101101	3.525
0001110	1.150	0101110	1.950	1001110	2.750	1101110	3.550
0001111	1.175	0101111	1.975	1001111	2.775	1101111	3.575
0010000	1.200	0110000	2.000	1010000	2.800	1110000	3.600
0010001	1.225	0110001	2.025	1010001	2.825	1110001	3.625
0010010	1.250	0110010	2.050	1010010	2.850	1110010	3.650
0010011	1.275	0110011	2.075	1010011	2.875	1110011	3.675
0010100	1.300	0110100	2.100	1010100	2.900	1110100	3.700
0010101	1.325	0110101	2.125	1010101	2.925	1110101	3.725
0010110	1.350	0110110	2.150	1010110	2.950	1110110	3.750
0010111	1.375	0110111	2.175	1010111	2.975	1110111	3.775
0011000	1.400	0111000	2.200	1011000	3.000	1111000	3.800
0011001	1.425	0111001	2.225	1011001	3.025	1111001	3.825
0011010	1.450	0111010	2.250	1011010	3.050	1111010	3.850
0011011	1.475	0111011	2.275	1011011	3.075	1111011	3.875
0011100	1.500	0111100	2.300	1011100	3.100	1111100	3.900
0011101	1.525	0111101	2.325	1011101	3.125	1111101	3.925
0011110	1.550	0111110	2.350	1011110	3.150	1111110	3.950
0011111	1.575	0111111	2.375	1011111	3.175	1111111	3.975

7. Reg0D Status1

Status registers are non-latch type. It automatically updates according to its real-time status.

NAME	BITS	DESCRIPTION	RESET CONDITION
PGx	D[7:0]	Buck と LDO の Power good 出力。出力電圧がリファレンスの 90%以上の電圧になると PG = 1 となります。また、出力電圧がリファレンスの 80%以下になると PG = 0 になります。 I^2C によって voltage をダイナミックに変更している際、PG deglitch タイマは、PG 誤動作をなくします。	AVIN<UVLO or SFRST or manual reset or long press 2

8. Reg0E Status2

NAME	BITS	DESCRIPTION		RESET CONDITION
KEYON	D[7]	Push button power-on event (long press 1) is detected.	This bit is latched once it's triggered and cleared by a read action to the status register.	AVIN < UVLO
KEYOFF	D[6]	Push button power-off event (long press 2) is detected.		
MREST	D[5]	Manual reset event is detected.		
SHORTKEY ON	D[4]	もし、MP5416 が power-off 状態の時、nPBIN は、debounce タイム 30mS より長く GND にプルダウンされます。そして、SHORTKEYON bit が high に設定されます。		
SFRST_ON	D[3]	software reset イベントが検出されます。SFRST bit が high に設定された時、SFRST_ON bit は high になり、high の状態がラッチされます。		
PGx	D[0]	Power good indicator for LDO5. Non-latch type bits.		AVIN < UVLO or SFRST or manual reset or long press 2

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

9. Reg0F Status3

NAME	BITS	DESCRIPTION		RESET CONDITION
OTWARNING	D[7]	Die temperature early warning bit. When the bit is high, the die temperature is higher than 120˚C.	This bit is latched once it's triggered and cleared by a read action to the status register.	AVIN < UVLO
OTEMPP	D[6]	Over-temperature indication. When the bit is high, the IC is in thermal shutdown.		

10. Reg11 ID2

NAME	BITS	DESCRIPTION
Vendor ID	D[7:4]	1000
OTP version	D[3:0]	0000

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

APPLICATION INFORMATION

Selecting the Inductor

ほとんどのアプリケーションでは、Max 電流よりも少なくとも 25%大きい電流値で、0.47uH から 2.2uH のインダクタを使用します。高効率にするには直流抵抗 15mΩ以下のインダクタを使用してください。通常、インダクタンス値は式(1)で計算されます。:

$$L_1 = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times \Delta I_L \times f_{OSC}} \quad (1)$$

ΔIL はインダクタのリップル電流を示します。インダクタのリップル電流は通常 max 出力電流の 30%程度を選択します。Max インダクタピーク電流は式(2)で計算されます。

$$I_{L(MAX)} = I_{LOAD} + \frac{\Delta I_L}{2} \quad (2)$$

大き目のインダクタンスを使用すると軽負荷（＜100mA）で効率が改善します。

Selecting the Step-Down Converter Input Capacitor

ステップダウンコンバータの入力電流は不連続です。そのためステップダウンコンバータに AC 電流を供給し、DC 入力電圧を保持するにはコンデンサが必要です。そこには良い性能を出すために低 ESR のコンデンサを使用してください。また、低 ESR と低温度変動の理由から X5R か X7R のセラミックコンデンサが推奨です。通常 22uF のコンデンサを使用します。

C1は入力のスイッチング電流を緩和するので、適切なリップル電流定格が必要です。入力コンデンサのRMS電流は式(3)で推測できます。

$$I_{C1} = I_{LOAD} \times \sqrt{\frac{V_{OUT}}{V_{IN}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)} \quad (3)$$

最悪条件でVin=2Voutの場合には式（4）で表現できます。

$$I_{C1} = \frac{I_{LOAD}}{2} \quad (4)$$

簡略化すると入力コンデンサのRMS電流定格は出力のMax電流の半分以上として選択します。

入力コンデンサは電解、タンタル、セラミックを選択できます。電解かタンタルコンデンサを使用した時は、小型で高信頼性のセラミックコンデンサ（0.1uF 等）をICの直近に付加してください。セラミックコンデンサを使用した際には、入力リップル電圧が大きくならないように十分な容量を付加してください。入力電圧は式(5)で推測できます。

$$\Delta V_{IN} = \frac{I_{LOAD}}{f_S \times C1} \times \frac{V_{OUT}}{V_{IN}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (5)$$

Selecting the Step-Down Converter Output Capacitor

ステップダウンコンバータの出力コンデンサは、DC 出力電圧を保持します。セラミックかタンタルコンデンサか低 ESR の電解コンデンサを使用してください。出力リップル電圧を低くするには、低 ESR コンデンサを使用してください。出力リップル電圧は、式(6)で推定できます。

$$\Delta V_{OUT} = \frac{V_{OUT}}{f_S \times L_1} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times \left(R_{ESR} + \frac{1}{8 \times f_S \times C2}\right) \quad (6)$$

L_1 はインダクタ値、R_{ESR} は出力コンデンサの直列等価抵抗(ESR)になります。

セラミックコンデンサの場合、スイッチング周波数でのインピーダンスは容量値が支配的となり、出力リップル電圧の大きな要因となります。簡略化した出力リップル電圧は式(7)で推定できます。

$$\Delta V_{OUT} = \frac{V_{OUT}}{8 \times f_S^2 \times L_1 \times C2} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (7)$$

タンタル、電解コンデンサの場合、スイッチング周波数でのインピーダンスは、ESR が支配的となり、簡略化した出力リップル電圧は、式(8)で推定できます。

$$\Delta V_{OUT} = \frac{V_{OUT}}{f_S \times L_1} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times R_{ESR} \quad (8)$$

出力コンデンサの特性は、制御の安定性にも影響します。

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

Recommended External Components for DC/DC and LDO Converters

テーブル4リストはDCDCコンバータとLDOの推奨外部接続部品になります。

Table 4: Recommended External Components

	Value	Notes
Cin of VIN1	22µF	0805 size/10V ceramic capacitor
Cin of VIN2	22µF	0805 size/10V ceramic capacitor
Cin of VIN3	22µF	0805 size/10V ceramic capacitor
Cin of VIN4	22µF	0805 size/10V ceramic capacitor
Cin of VIN5	10µF	0805 size/10V ceramic capacitor
Cin of AVIN	1µF	0603 size/10V ceramic capacitor
Cout of Buck1	22µFx2	0805 size/10V ceramic capacitor
L of Buck1	1µH	I_{SAT} > current limit
Cout of Buck2	22µF	0805 size/10V ceramic capacitor
L of Buck2	1.5µH	I_{SAT} > current limit
Cout of Buck3	22µFx2	0805 size/10V ceramic capacitor
L of Buck3	1µH	I_{SAT} > current limit
Cout of Buck4	22µF	0805 size/10V ceramic capacitor
L of Buck4	1.5µH	I_{SAT} > current limit
Cout of RTCLDO	1µF	0603 size/6.3V ceramic capacitor
Cout of LDO2	2.2µF	0603 size/6.3V ceramic capacitor
Cout of LDO3	2.2µF	0603 size/6.3V ceramic capacitor
Cout of LDO4	2.2µF	0603 size/6.3V ceramic capacitor
Cout of LDO5	2.2µF	0603 size/6.3V ceramic capacitor
RSTO pull-up resistor	100kΩ	0603 or 0402 size film resistor
nPBIN pull-low resistor	49.9kΩ	Push button function. 0603 or 0402 size film resistor
AVIN series resistor to VIN1	10Ω	0603 or 0402 size film resistor

PCB Layout Guidelines [12]

効率的な PCB のレイアウトは、安定した動作のために非常に重要です。ベストパフォーマンスのためには 4 層基板を推奨します。また、図 14 と下記のガイドラインを参照ください。

1. GND ピンは広い GND 面に短く接続してください。
2. 入力コンデンサは VIN ピンへ短く広いラインで接続してください。
3. 確実に FB1−FB4 は Buck1−Buc4 の出力コンデンサから Kelvin connection してください。決して出力インダクタの出力側端子からフィードバックしないようにしてください。
4. SW ノードはセンシティブなアナログライン（FB1−FB4）から離して配線してください。

NOTE:

12) 推奨レイアウトは 35 ページの図 14 を元にしています

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

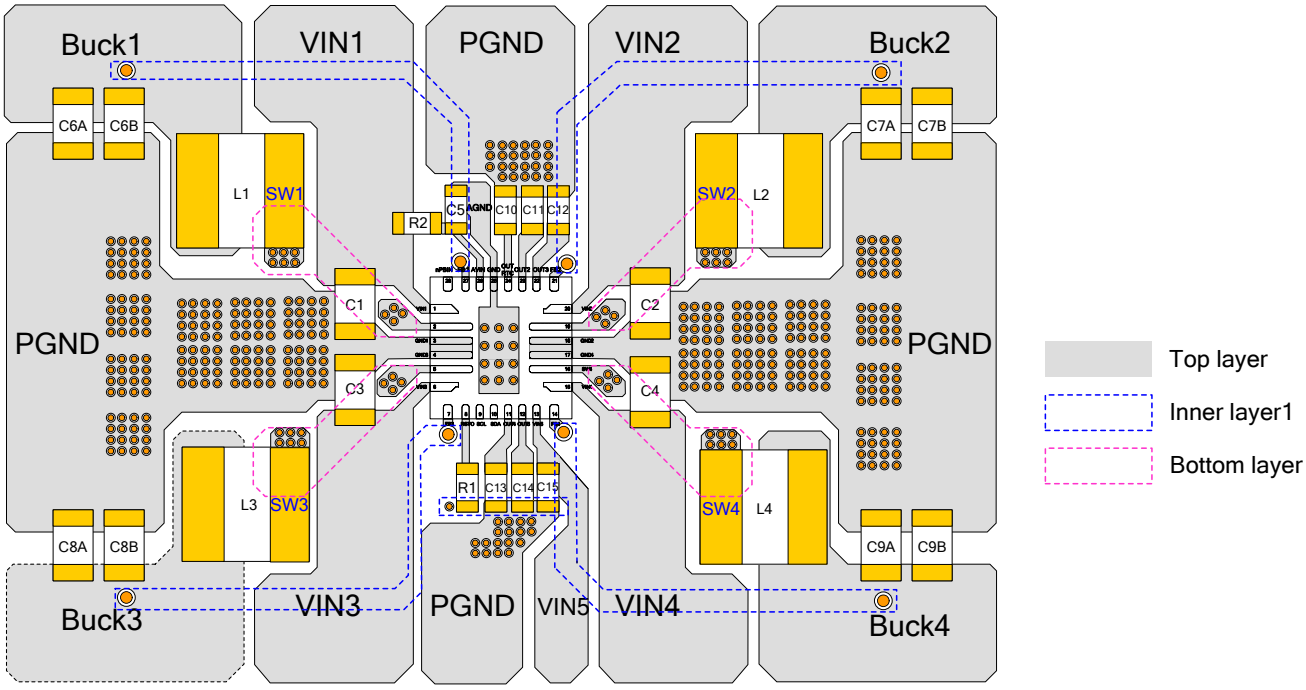


Figure 14: Recommended Layout (13)

NOTE:

13) It is recommended to separate Buck1/3 and Buck2/4's PGND on the top layer.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

TYPICAL APPLICATION CIRCUIT

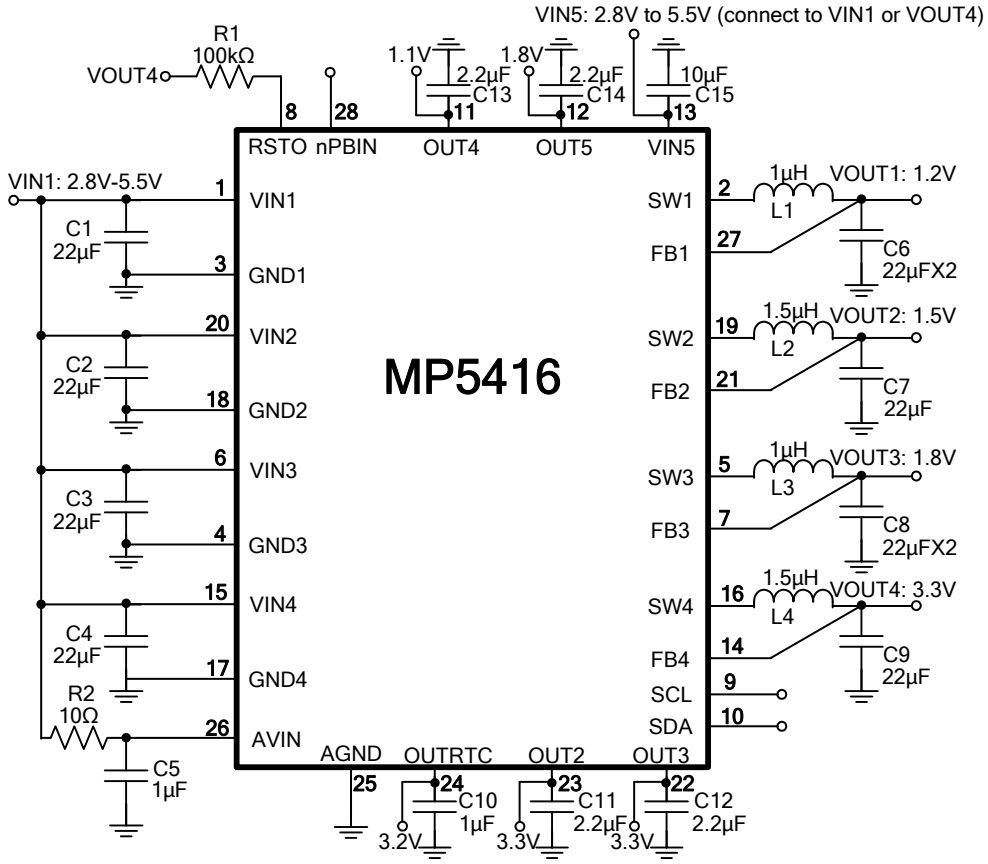


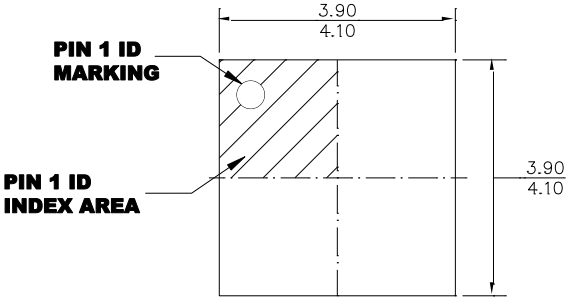
Figure 15: Typical Application Circuit (14)

NOTE:
14) The minimum input voltage of VIN5 is equal to the maximum nominal output voltage of LDO4 and LDO5.

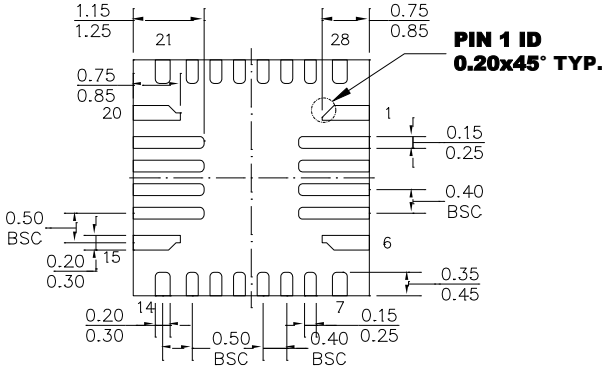
MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.

PACKAGE INFORMATION

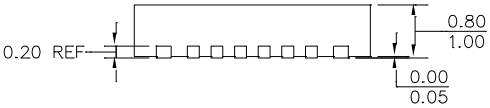
QFN-28 (4mmx4mm)



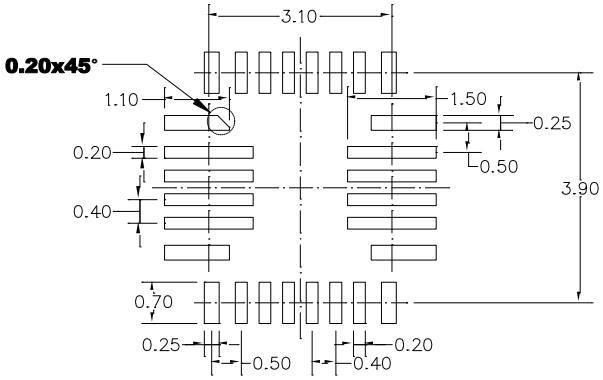
TOP VIEW



BOTTOM VIEW



SIDE VIEW



RECOMMENDED LAND PATTERN

NOTE:

1) LAND PATTERNS OF PIN1,6,15 AND 20 HAVE THE SAME LENGTH AND WIDTH.
2) LAND PATTERNS OF PIN7,14,21 AND 28 HAVE THE SAME LENGTH AND WIDTH.
3) ALL DIMENSIONS ARE IN MILLIMETERS.
4) LEAD COPLANARITY SHALL BE 0.10 MILLIMETERS MAX.
5) DRAWING CONFORMS TO JEDEC MO-220.
6) DRAWING IS NOT TO SCALE.

NOTICE: The information in this document is subject to change without notice. Users should warrant and guarantee that third party Intellectual Property rights are not infringed upon when integrating MPS products into any application. MPS will not assume any legal responsibility for any said applications.

MPS Proprietary Information. Patent Protected. Unauthorized Photocopy and Duplication Prohibited.
© 2018 MPS. All Rights Reserved.